

### 产品特性

16位分辨率、无失码

吞吐速率：1 MSPS低功耗

7.0 mW (1 MSPS, 仅V<sub>DD1</sub>和V<sub>DD2</sub>)

12.0 mW (1 MSPS, 总功耗)

140 μW (10 kSPS时)

积分非线性(INL): ±1.0 LSB (典型值); ±2.5 LSB (最大值)

信纳比(SINAD): 91 dB (1 kHz)

总谐波失真(THD): -105 dB (1 kHz)

伪差分模拟输入范围

0 V至V<sub>REF</sub> (V<sub>REF</sub>在2.4 V至5.1 V之间)

可使用任一输入范围

可采用ADA4841-x轻松驱动

无流水线延迟

采用2.5 V单电源供电，提供1.8 V/2.5 V/3 V/5 V逻辑接口

串行接口(SPI): QSPI/MICROWIRE/DSP兼容

20引脚QSOP封装

宽工作温度范围: -40°C至+125°C

### 应用

电池供电设备

通信

自动测试设备(ATE)

数据采集

医疗仪器

冗余测量

同步采样

### 概述

AD7902是一款双通道16位、逐次逼近型模数转换器(ADC)，各ADC采用单电源(VDDx)供电。它内置两个低功耗、高速、16位采样ADC和一个多功能串行接口(SPI)。在CNVx上升沿，AD7902对IN+与参考地IN-之间的模拟输入电压进行采样，范围从0 V至V<sub>REF</sub>。REFx引脚的基准电压(V<sub>REF</sub>)由外部提供，可独立于电源电压引脚(VDDx)来设定。该器件的功耗与吞吐速率呈线性变化关系。

SPI兼容串行接口还能利用SDIx输入将几个ADC以菊花链形式连结到单个三线式总线上，并提供一个可选的繁忙指示。采用独立电源VIOx时，它与1.8 V、2.5 V、3 V和5 V逻辑兼容。

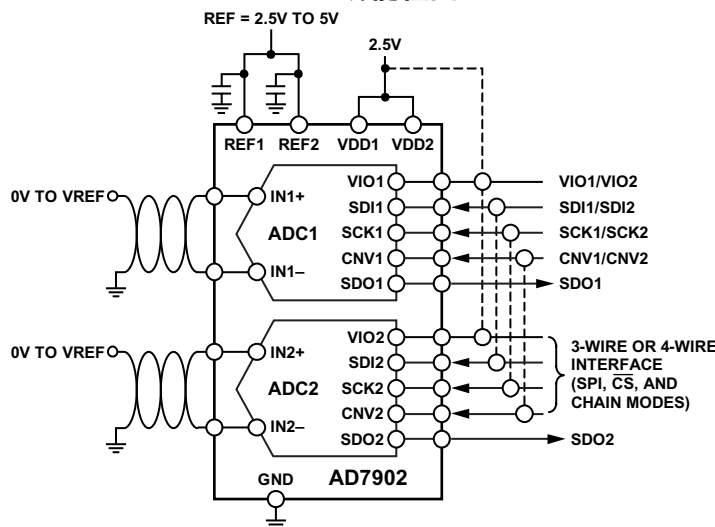
AD7902采用20引脚QSOP封装，工作温度范围为-40°C至+125°C。

表1. MSOP 14/16/18位PuSAR® ADC

Bits	100 kSPS	250 kSPS	400 kSPS to 500 kSPS	1000 kSPS	ADC驱动器
18		AD7691 <sup>1</sup>	AD7690 <sup>1</sup>	AD7982 <sup>1</sup>	ADA4941-1 ADA4841-x
16	AD7680 AD7683 AD7684	AD7685 <sup>1</sup> AD7687 <sup>1</sup> AD7694	AD7686 <sup>1</sup> AD7688 <sup>1</sup> AD7693 <sup>1</sup>	AD7980 <sup>1</sup> AD7903 AD7902	ADA4941-1 ADA4841-x
14	AD7940	AD7942 <sup>1</sup>	AD7946 <sup>1</sup>		

<sup>1</sup>引脚兼容。

### 功能框图



Rev. A

### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

## 目录

特性.....	1	模拟输入.....	15
应用.....	1	驱动放大器选择.....	16
功能框图.....	1	基准电压输入.....	16
修订历史.....	2	电源.....	17
技术规格.....	3	数字接口.....	17
时序规格.....	5	$\overline{\text{CS}}$ 模式.....	18
绝对最大额定值.....	6	链模式.....	22
ESD警告.....	6	应用信息.....	24
引脚配置和功能描述.....	7	同步采样.....	24
典型性能参数.....	8	功能安全考虑.....	25
术语.....	13	布局布线.....	26
工作原理.....	14	评估AD7902性能.....	26
电路信息.....	14	外形尺寸.....	27
转换器操作.....	14	订购指南.....	27
典型连接图.....	15		

## 修订历史

### 2014年7月 — 修订版0至修订版A

待机电流单位从nA更改为 $\mu\text{A}$ .....	4
更改“电源”部分.....	17

### 2014年2月—修订版0：初始版

## 规格

除非另有说明， $V_{DD} = 2.5\text{ V}$ ， $V_{IO} = 2.3\text{ V}$ 至 $5.5\text{ V}$ ， $V_{REF} = 5\text{ V}$ ， $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。<sup>1</sup>

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率		16			位
模拟输入 <sup>2</sup>					
电压范围	$IN_{X+} - IN_{X-}$	0		$V_{REF}$	V
绝对输入电压	$IN_{X+}$	-0.1		$V_{REF} + 0.1$	V
	$IN_{X+}, IN_{X-}$	-0.1	0	+0.1	V
模拟输入CMRR	$f_{IN} = 450\text{ kHz}$		67		dB
25°C时漏电流	采集阶段		200		nA
精度					
无失码		16			位
差分非线性误差 <sup>3</sup>	$V_{REF} = 5\text{ V}$	-1.0	$\pm 0.5$	+1.0	LSB
	$V_{REF} = 2.5\text{ V}$		$\pm 0.8$		LSB
积分非线性误差 <sup>3</sup>	$V_{REF} = 5\text{ V}$	-2.5	$\pm 1.0$	+2.5	LSB
	$V_{REF} = 2.5\text{ V}$		$\pm 0.9$		LSB
跃迁噪声 <sup>3</sup>	$V_{REF} = 5\text{ V}$		0.75		LSB
	$V_{REF} = 2.5\text{ V}$		1.2		LSB
增益误差 <sup>4</sup>	$T_{MIN}$ 至 $T_{MAX}$	-0.08	$\pm 0.012$	+0.08	% FS
增益误差温漂			0.3		ppm/°C
增益误差匹配 <sup>4</sup>	$T_{MIN}$ 至 $T_{MAX}$		0.016	0.08	% FS
零点误差 <sup>4</sup>	$T_{MIN}$ 至 $T_{MAX}$	-1.25	$\pm 0.25$	+1.25	mV
零温漂			0.19		ppm/°C
零点误差匹配 <sup>4</sup>	$T_{MIN}$ 至 $T_{MAX}$		0.2	1.0	mV
电源灵敏度 <sup>3</sup>	$V_{DD} = 2.5\text{ V} \pm 5\%$		$\pm 0.1$		LSB
吞吐速率					
转换速率	$V_{IO} \geq 2.3\text{ V}$ (85°C及以下) , $V_{IO} \geq 3.3\text{ V}$ (85°C以上至125°C)	0		1	MSPS
瞬态响应				290	ns
交流精度 <sup>5</sup>					
动态范围	$V_{REF} = 5\text{ V}$		92		dB
	$V_{REF} = 2.5\text{ V}$		87		dB
过采样动态范围	$f_{OUT} = 10\text{ kSPS}$		111		dB
信噪比(SNR)	$f_{IN} = 1\text{ kHz}, V_{REF} = 5\text{ V}$	89.5	91.5		dB
	$f_{IN} = 1\text{ kHz}, V_{REF} = 2.5\text{ V}$	84.5	86.5		dB
无杂散动态范围(SFDR)	$f_{IN} = 1\text{ kHz}$		-105		dB
总谐波失真(THD)	$f_{IN} = 1\text{ kHz}$		-105		dB
信纳比(SINAD)	$f_{IN} = 1\text{ kHz}, V_{REF} = 5\text{ V}$	89	91		dB
	$f_{IN} = 1\text{ kHz}, V_{REF} = 2.5\text{ V}$	84	86		dB
通道间隔离度	$f_{IN} = 10\text{ kHz}$		-112		dB

<sup>1</sup>  $V_{DDx}$ 、 $V_{IOx}$ 和 $REFx$ 引脚电压分别用 $V_{DD}$ 、 $V_{IO}$ 和 $V_{REF}$ 表示。

<sup>2</sup> 有关输入阻抗的信息，请参见“模拟输入”部分。

<sup>3</sup> 5 V输入范围时，1 LSB = 76.3  $\mu\text{V}$ 。2.5 V输入范围时，1 LSB = 38.2  $\mu\text{V}$ 。

<sup>4</sup> 参见术语部分。这些规格包括整个温度范围内的波动，但不包括外部基准源的误差贡献。

<sup>5</sup> 所有以分贝(dB)为单位的特性均参考满量程输入FSR。虽然这些特性均参考满量程，但测试使用的输入信号比满量程低0.5 dB，除非另有说明。

# AD7902

除非另有说明,  $V_{DD} = 2.5\text{ V}$ ,  $V_{IO} = 2.3\text{ V}$ 至 $5.5\text{ V}$ ,  $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。<sup>1</sup>

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
基准电压					
电压范围		2.4		5.1	V
负载电流	1 MSPS, $V_{REF} = 5\text{ V}$ , 各ADC		330		$\mu\text{A}$
采样动态性能					
-3 dB输入带宽			10		MHz
孔径延迟	$V_{DD} = 2.5\text{ V}$		2.0		ns
孔径延迟匹配	$V_{DD} = 2.5\text{ V}$		2.0		ns
数字输入					
逻辑电平					
$V_{IL}$	$V_{IO} > 3\text{ V}$	-0.3		$+0.3 \times V_{IO}$	V
	$V_{IO} \leq 3\text{ V}$	-0.3		$+0.1 \times V_{IO}$	V
$V_{IH}$	$V_{IO} > 3\text{ V}$	$0.7 \times V_{IO}$		$V_{IO} + 0.3$	V
	$V_{IO} \leq 3\text{ V}$	$0.9 \times V_{IO}$		$V_{IO} + 0.3$	V
$I_{IL}$		-1		+1	$\mu\text{A}$
$I_{IH}$		-1		+1	$\mu\text{A}$
数字输出					
数据格式			标准二进制		位
流水线延迟	无延迟, 转换完成后立即提供转换结果			0	样本
$V_{OL}$	$I_{SINK} = 500\ \mu\text{A}$			0.4	V
$V_{OH}$	$I_{SOURCE} = -500\ \mu\text{A}$	$V_{IO} - 0.3$			V
电源					
$V_{DDx}$		2.375	2.5	2.625	V
$V_{IOx}$	额定性能	2.3		5.5	V
$V_{IOx}$ 范围	整个范围	1.8		5.5	V
$I_{VDDx}$	各ADC		1.4	1.6	mA
$I_{VIOx}$	各ADC		0.2	0.45	mA
待机电流 <sup>2,3</sup>	$V_{DD}$ 和 $V_{IO} = 2.5\text{ V}$ , $25^\circ\text{C}$		0.35		$\mu\text{A}$
功耗	10 kSPS吞吐速率		140		$\mu\text{W}$
	1 MSPS吞吐速率量		12.0	16	mW
$V_{DDx}$ 只读	1 MSPS吞吐速率量		7.0		mW
仅REF			3.3		mW
仅VIO			1.7		mW
每次转换的能量			7.0		nJ/采样
温度范围 <sup>4</sup>					
额定性能	$T_{MIN}$ 至 $T_{MAX}$	-40		+125	$^\circ\text{C}$

<sup>1</sup> 在本数据手册中,  $V_{DDx}$ 、 $V_{IOx}$ 和 $REFx$ 引脚的电压分别用 $V_{DD}$ 、 $V_{IO}$ 和 $V_{REF}$ 表示。

<sup>2</sup> 根据需要, 所有数字输入强制接 $V_{IOx}$ 或地。

<sup>3</sup> 在采集阶段。

<sup>4</sup> 更宽温度范围请联系ADI公司。

时序规格

除非另有说明，-40°C至+125°C， $V_{DD} = 2.37\text{ V至}2.63\text{ V}$ ， $V_{IO} = 2.3\text{ V至}5.5\text{ V}$ 。负载条件参见图2和图3。时序图参见图39、图41、图43、图45、图47、图49和图51。

表4.

参数	符号	最小值	典型值	最大值	单位
转换时间(CNV上升沿至数据可用)	$t_{CONV}$	500		710	ns
采集时间	$t_{ACQ}$	290			ns
转换间隔时间	$t_{CYC}$				
VIOx高于2.3 V		1000			ns
CNVx脉冲宽度( $\overline{CS}$ 模式)	$t_{CNWH}$	10			ns
SCKx周期( $\overline{CS}$ 模式)	$t_{SCK}$				
VIOx高于4.5 V		10.5			ns
VIOx高于3 V		12			ns
VIOx高于2.7 V		13			ns
VIOx高于2.3 V		15			ns
SCKx周期(链模式)	$t_{SCK}$				
VIOx高于4.5 V		11.5			ns
VIOx高于3 V		13			ns
VIOx高于2.7 V		14			ns
VIOx高于2.3 V		16			ns
SCKx低电平时间	$t_{SCKL}$	4.5			ns
SCKx高电平时间	$t_{SCKH}$	4.5			ns
SCKx下降沿至数据仍然有效	$t_{HSDO}$	3			ns
SCKx下降沿至数据有效延迟时间	$t_{DSDO}$				
VIOx高于4.5 V				9.5	ns
VIOx高于3 V				11	ns
VIOx高于2.7 V				12	ns
VIOx高于2.3 V				14	ns
CNVx或SDIx低电平至SDOx，D15 (MSB)有效( $\overline{CS}$ 模式)	$t_{EN}$				
VIOx高于3 V				10	ns
VIOx高于2.3 V				15	ns
CNVx或SDIx高电平或最后一个SCKx下降沿至SDOx高阻态( $\overline{CS}$ 模式)	$t_{DIS}$			20	ns
CNVx上升沿至SDIx有效建立时间( $\overline{CS}$ 模式)	$t_{SSDICNV}$	5			ns
CNVx上升沿至SDIx有效保持时间( $\overline{CS}$ 模式)	$t_{HSDICNV}$	2			ns
CNVx上升沿至SCKx有效建立时间(链模式)	$t_{SSCKCNV}$	5			ns
CNVx上升沿至SCKx有效保持时间(链模式)	$t_{HSCKCNV}$	5			ns
SCKx下降沿至SDIx有效建立时间(链模式)	$t_{SSDISCK}$	2			ns
SCKx下降沿至SDIx有效保持时间(链模式)	$t_{HSDISCK}$	3			ns
SDIx高电平至SDOx高电平(链模式且有繁忙指示)	$t_{DSDOSDI}$			15	ns

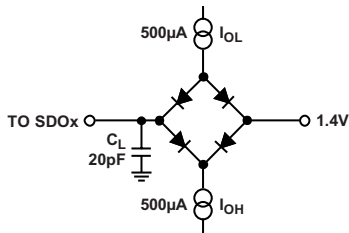
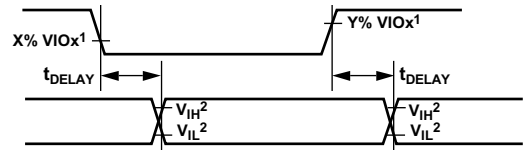


图2. 数字接口时序的负载电路



<sup>1</sup> FOR  $V_{IOx} \leq 3.0\text{V}$ ,  $X = 90$  AND  $Y = 10$ ; FOR  $V_{IOx} > 3.0\text{V}$ ,  $X = 70$  AND  $Y = 30$ .  
<sup>2</sup> MINIMUM  $V_{IH}$  AND MAXIMUM  $V_{IL}$  USED. SEE SPECIFICATIONS FOR DIGITAL INPUTS PARAMETER IN TABLE 3.

图3. 时序的电平

## 绝对最大额定值

表5.

参数	评分
模拟输入	
INx+, INx-至GND <sup>1</sup>	-0.3 V至 $V_{REF} + 0.3 V$ 或 $\pm 10 \text{ mA}$
电源电压	
REFx, VIOx至GND	-0.3 V至+6.0 V
VDDx至GND	-0.3 V至+3.0 V
VDDx至VIOx	+3 V至-6 V
数字输入至GND	-0.3 V至 $V_{IO} + 0.3 V$
数字输出至GND	-0.3 V至 $V_{IO} + 0.3 V$
存储温度范围	-65°C至+150°C
结温	150°C
引脚温度	
气相(60秒)	255°C
红外(15秒)	260°C

<sup>1</sup>有关INx+和INx-的解释, 请参见“模拟输入”部分。

注意, 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

## ESD警告

**ESD(静电放电)敏感器件。**

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

## 引脚配置和功能描述

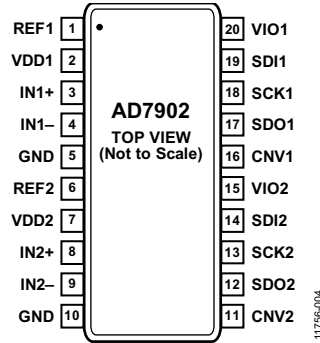


图4. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	类型 <sup>1</sup>	说明
1, 6	REF1, REF2	AI	基准输入电压。REFx范围为2.4 V至5.1 V。这些引脚参考GND引脚，应通过与之靠近的10 μF电容去耦至GND引脚。
2, 7	VDD1, VDD2	P	电源。
3, 8	IN1+, IN2+	AI	正向伪差分模拟输入。
4, 9	IN1-, IN2-	AI	负向伪差分模拟输入。
5, 10	GND	P	电源地。
11, 16	CNV2, CNV1	DI	转换输入。这些输入具有多个功能。在每次转换周期的第一个上升沿可启动转换并选择器件的接口模式：链模式或低电平有效片选模式( $\overline{CS}$ 模式)。CS模式下，CNVx引脚为低电平时SDOx引脚使能。链模式下，数据必须在CNVx为高电平时读取。
12, 17	SDO2, SDO1	DO	串行数据输出。转换结果通过这些引脚输出。转换结果与SCKx同步。
13, 18	SCK2, SCK1	DI	串行数据时钟输入。器件被选择时，转换结果通过这些时钟移出。
14, 19	SDI2, SDI1	DI	串行数据输入。这些输入具有多个功能。它们按照以下方式选择ADC的接口模式：CS如果SDIx引脚在CNVx上升沿期间为高电平，则选择模式。此模式下，SDIx或CNVx在低电平时均可使能串行输出信号。当转换完成时，如果SDIx或CNVx为低电平，繁忙指示功能被使能。
15, 20	VIO2, VIO1	P	输入/输出接口数字电源。这些引脚的标称电源与主机接口电源相同(2.5 V或3.3 V)。

<sup>1</sup> AI表示模拟输入，DI表示数字输入，DO表示数字输出，P表示电源。

## 典型性能参数

除非另有说明,  $V_{DD} = 2.5\text{ V}$ ,  $V_{REF} = 5.0\text{ V}$ ,  $V_{IO} = 3.3\text{ V}$ ,  $T_A = 25^\circ\text{C}$ ,  $f_{SAMPLE} = 1\text{ MSPS}$ ,  $f_{IN} = 10\text{ kHz}$ 。

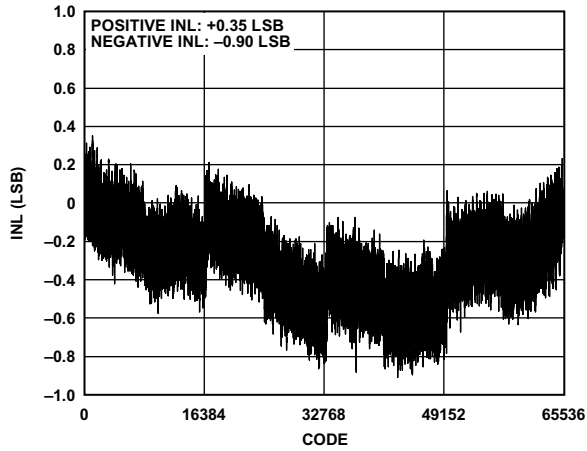


图5. 积分非线性与码的关系,  $V_{REF} = 5\text{ V}$

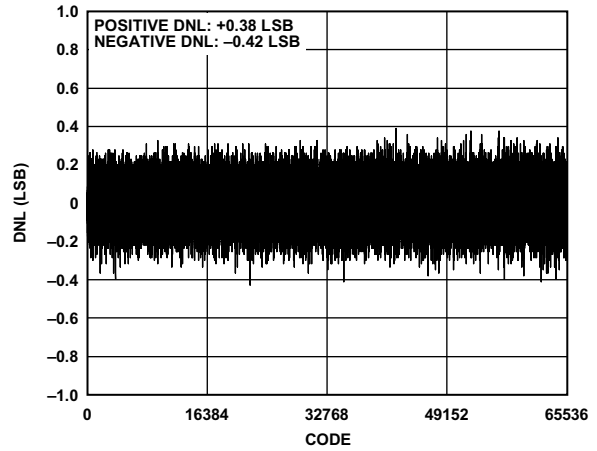


图8. 差分非线性与码的关系,  $V_{REF} = 5\text{ V}$

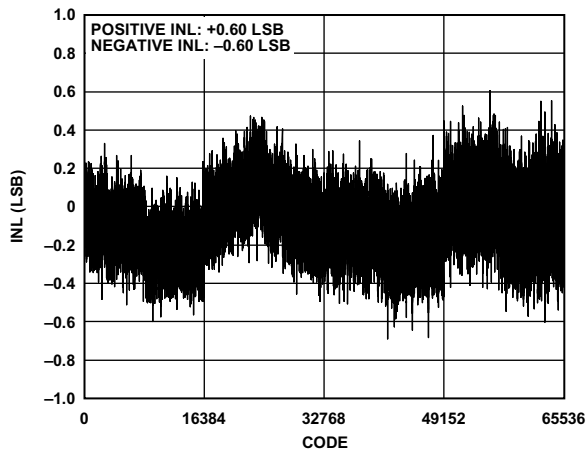


图6. 积分非线性与码的关系,  $V_{REF} = 2.5\text{ V}$

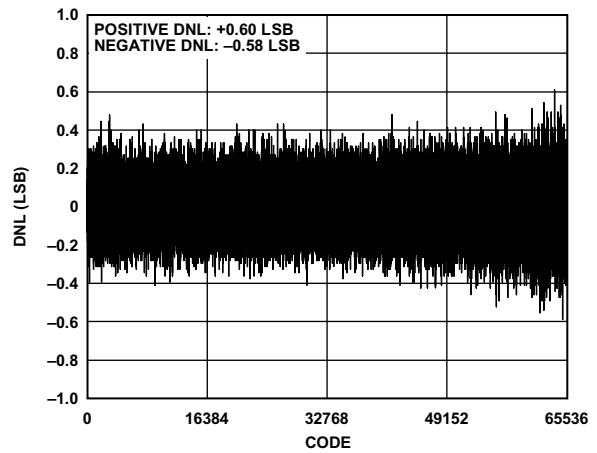


图9. 差分非线性与码的关系,  $V_{REF} = 2.5\text{ V}$

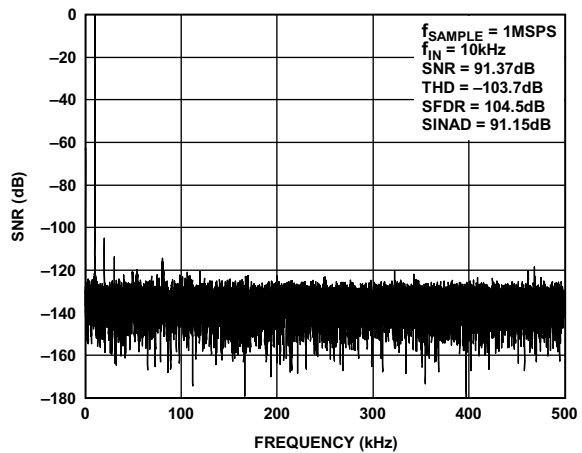


图7. FFT曲线图,  $V_{REF} = 5\text{ V}$

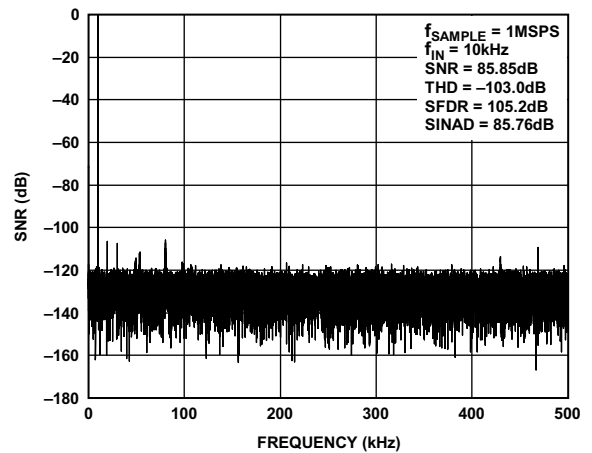


图10. FFT曲线图,  $V_{REF} = 2.5\text{ V}$



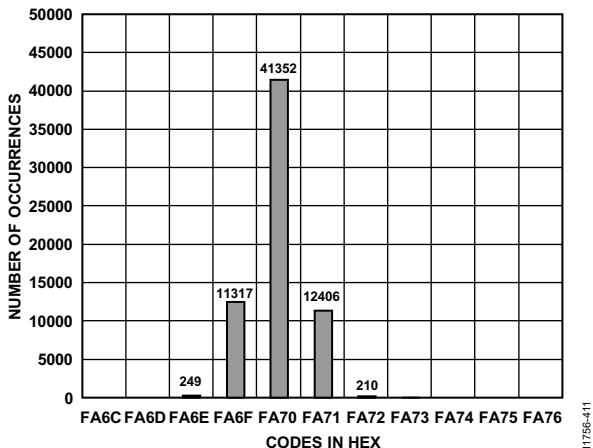


图11. 一个直流输入的直方图(码中心),  $V_{REF} = 5V$

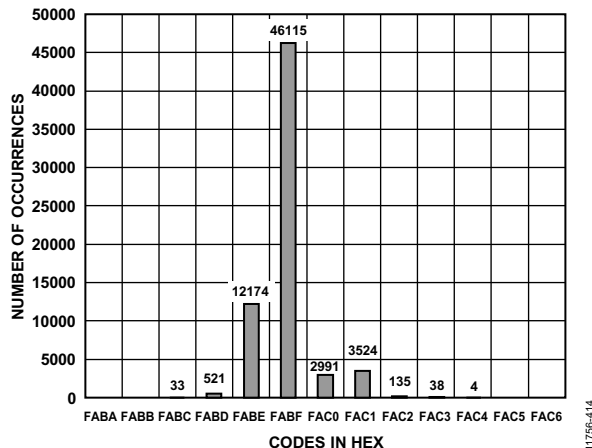


图14. 一个直流输入的直方图(码中心),  $V_{REF} = 2.5V$

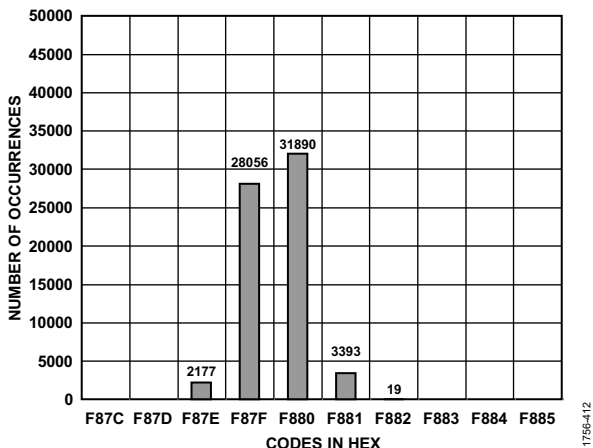


图12. 一个直流输入的直方图(码跃迁),  $V_{REF} = 5V$

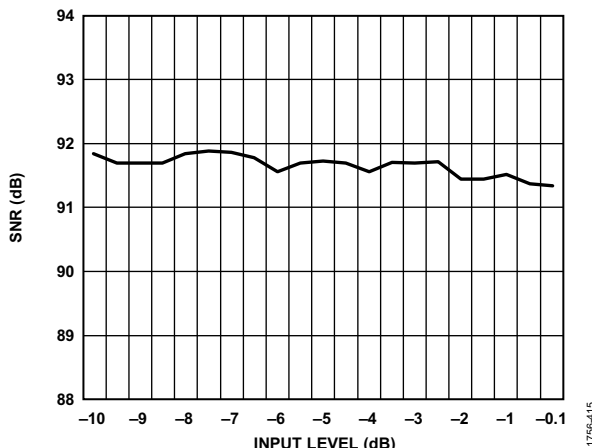


图15. SNR与输入电平的关系

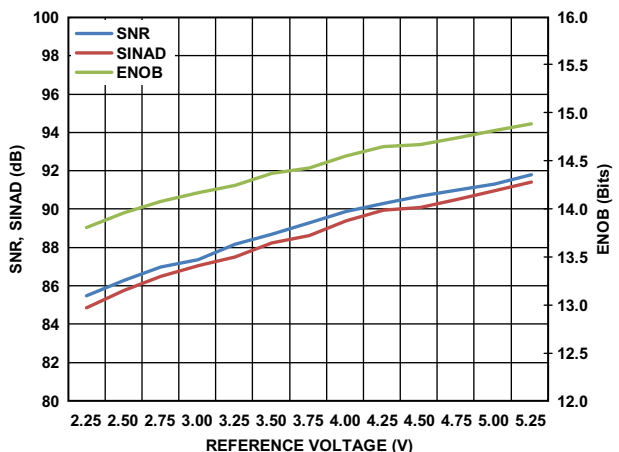


图13. SNR、SINAD和ENOB与基准电压的关系

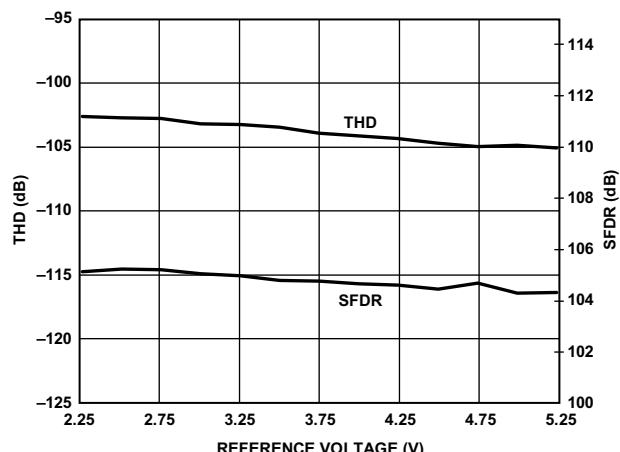


图16. THD和SFDR与基准电压的关系

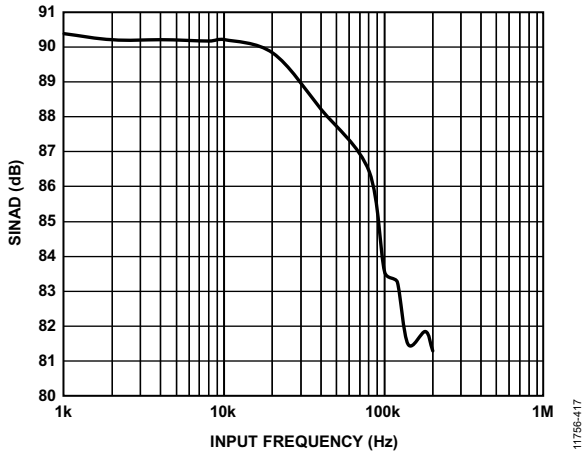


图17. SINAD与输入频率的关系

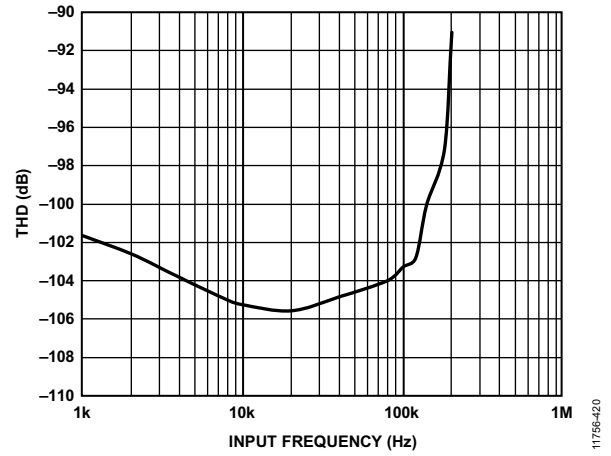


图20. THD与输入频率的关系

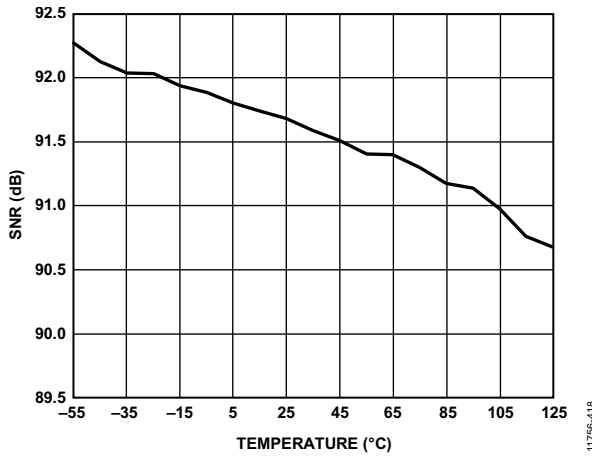


图18. SNR与温度的关系

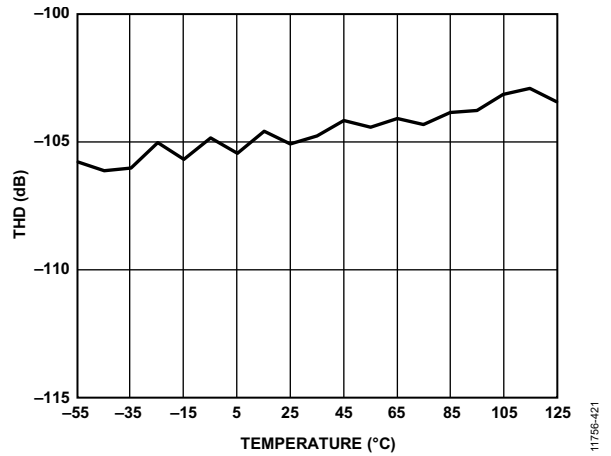


图21. THD与温度的关系

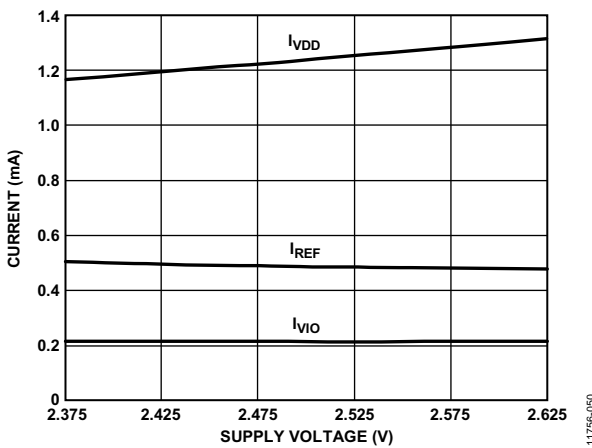


图19. 各ADC的工作电流与电源电压的关系

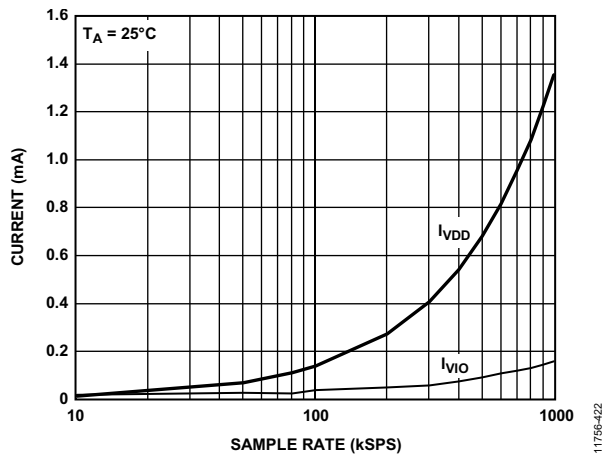


图22. 各ADC的工作电流与吞吐速率的关系

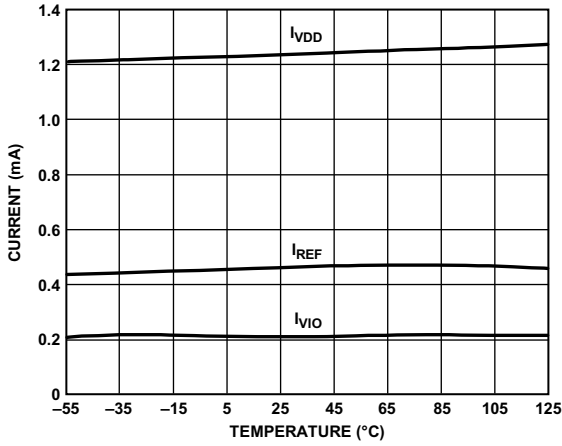


图23. 各ADC的工作电流与温度的关系

11756-053

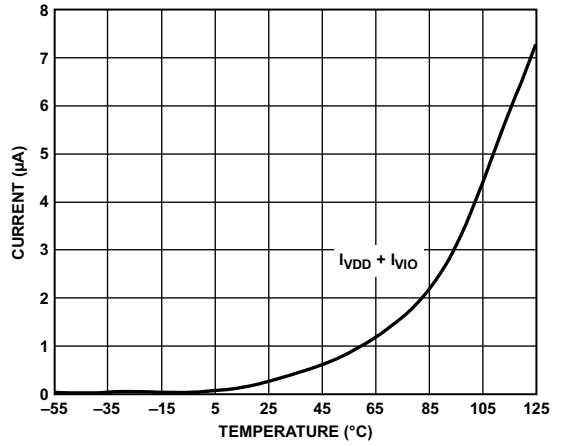


图26. 各ADC的掉电电流与温度的关系

11756-054

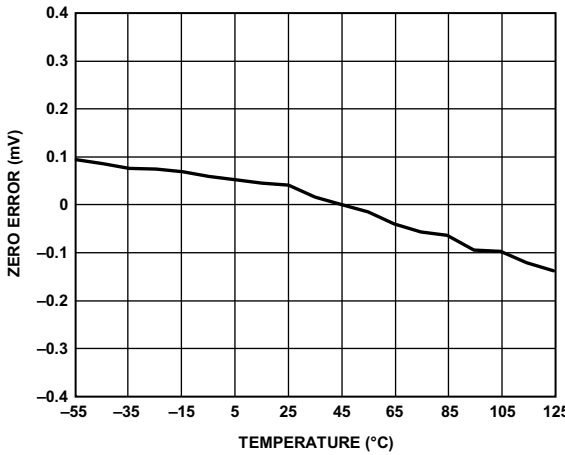


图24. 零误差与温度的关系

11756-424

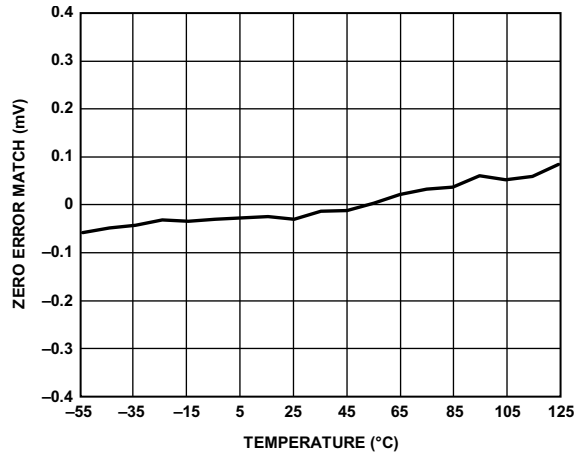


图27. 零误差匹配与温度的关系

11756-427

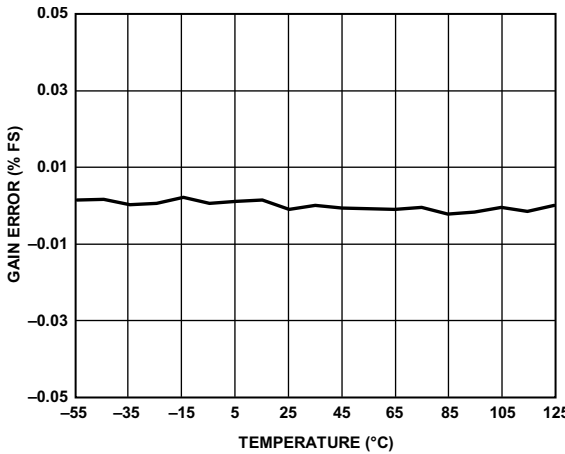


图25. 增益误差与温度的关系

11756-425

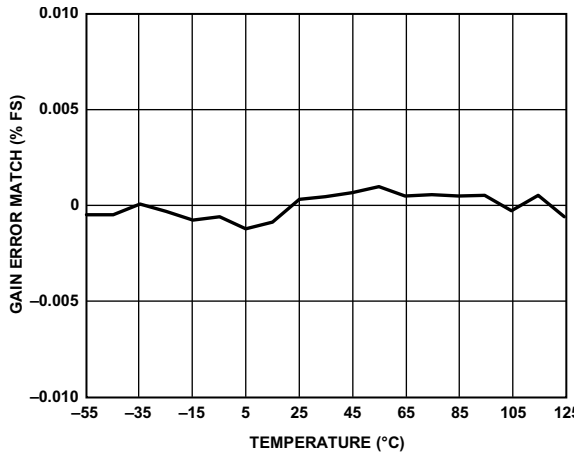


图28. 增益误差匹配与温度的关系

11756-428

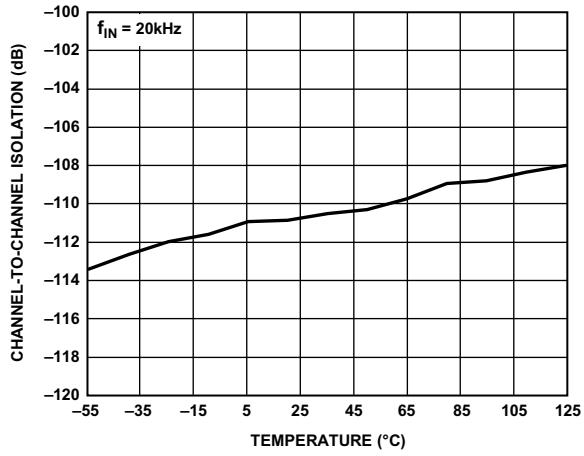


图29. 通道间隔度与温度的关系

11756-429

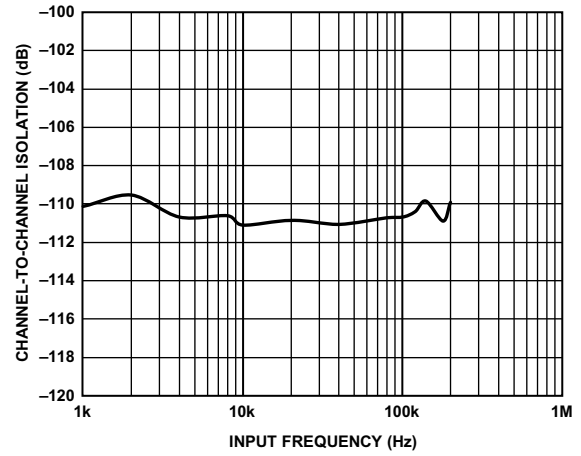


图30. 通道间隔度与输入频率的关系

11756-430

## 术语

### 积分非线性误差(INL)

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码字跃迁之前的 $\frac{1}{2}$  LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$  LSB的一个电平。从各码的中心到该直线的距离即为偏差(见图32)。

### 差分非线性误差(DNL)

在一个理想ADC中, 码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

### 零电平误差

第一个码跃迁应对应于一个比模拟地高 $\frac{1}{2}$  LSB的电平(对于0 V至5 V范围, 它等于 $38.1\ \mu\text{V}$ )。零误差是指实际跃迁与该点的偏差。

### 零点误差匹配

它指多通道转换器各通道间的失调之差, 单位为毫伏(mV), 通过以下方程进行计算:

$$\text{零点匹配} = V_{\text{ZEROMAX}} - V_{\text{ZEROMIN}}$$

其中:

$V_{\text{ZEROMAX}}$ 为最大正零点误差。

$V_{\text{ZEROMIN}}$ 为最大负零点误差。

零点误差匹配通常表示为毫伏(mV), 满量程范围见产品数据手册。

### 增益误差

当模拟电压低于标称满量程 $\frac{1}{2}$  LSB时(对于0 V至5 V范围, 应在 $4.999886\ \text{V}$ ), 发生最后一个码跃迁(从111 ... 10跃迁至111 ... 11)。增益误差是指在消除失调误差之后, 最后一个码跃迁的实际电平与理想电平的偏差。

### 增益误差匹配

它指多通道ADC的最大满量程与最小满量程之比, 表示为满量程的百分比, 通过以下方程计算:

$$\text{Gain Matching} = \left( \frac{FSR_{\text{MAX}} - FSR_{\text{MIN}}}{2^N} \right) \times 100\%$$

其中:

$FSR_{\text{MAX}}$ 为ADC的最大正增益误差。

$FSR_{\text{MIN}}$ 为最大负增益误差。

### 无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的rms幅值之差, 用分贝(dB)表示。

### 有效位数(ENOB)

ENOB指利用正弦波输入测得的分辨率。它与SINAD的关系可以表示为:

$$ENOB = (SINAD_{\text{dB}} - 1.76)/6.02$$

ENOB用位表示。

### 无噪声码分辨率

无噪声码分辨率是指这样一个位数, 如果超过该位数, 则无法明确无误地解析各个编码, 其计算公式为:

$$\text{无噪声码分辨率} = \log_2(2^N/\text{峰峰值噪声})$$

无噪声码分辨率用位表示。

### 有效分辨率

有效分辨率的计算公式如下:

$$\text{有效分辨率} = \log_2(2^N/\text{RMS输入噪声})$$

有效分辨率用位表示。

### 总谐波失真(THD)

THD指前五个谐波成分的rms和与满量程输入信号的rms值之比, 用分贝(dB)表示。

### 动态范围

动态范围指满量程的rms值与输入短接在一起时测得的总rms噪声之比, 用分贝(dB)表示。它使用 $-60\ \text{dBFS}$ 下的信号测得, 因此包括所有噪声源和DNL伪像。

### 信噪比(SNR)

SNR指实际输入信号的rms值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的rms和之比, 用分贝(dB)表示。

### 信纳比(SINAD)

SINAD指实际输入信号的rms值与奈奎斯特频率以下包括谐波但直流以外的所有其它频谱成分的rms和之比, 用分贝(dB)表示。

### 孔径延迟

孔径延迟衡量采集性能, 指从CNVx输入的上升沿到输入信号被保持并可进行转换的时间。

### 瞬态响应

瞬态响应是指施加满量程阶跃信号之后, ADC对输入进行精确采集所需的时间。

## 工作原理

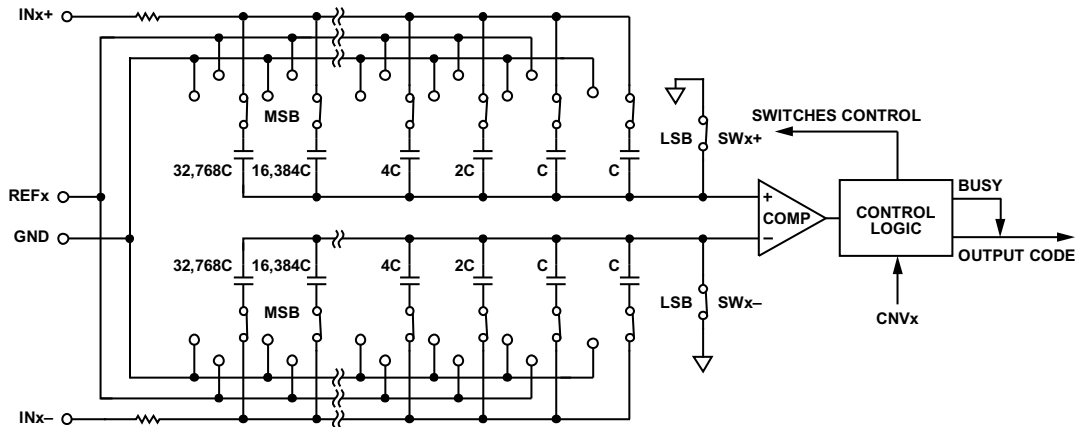


图31. ADC原理示意图

### 电路信息

AD7902是一款快速、低功耗、精密、双通道16位ADC，使用逐次逼近型架构。

AD7902每秒能够同时转换1,000,000个样本(1 MSPS)，两次转换之间器件关断。例如，以10kSPS速率工作时，每个ADC典型功耗为70  $\mu$ W，因此它非常适合电池供电的应用。

AD7902为用户提供片内采样保持功能，没有任何流水线延迟，堪称多通道复用应用的理想之选。

AD7902可与任何1.8 V至5 V数字逻辑系列接口，采用20引脚QSOP封装，配置灵活。该器件与差分16位ADC AD7903引脚兼容。

### 转换器操作

AD7902是一款基于电荷再分配DAC的双通道逐次逼近型ADC。图31显示了该ADC的简化电路图。容性DAC包含两个完全相同的16位二进制加权电容阵列，分别连接到比较器的两个输入端。

在各ADC的采集阶段，与比较器输入端相连的阵列端子通过开关、SW<sub>x+</sub>和SW<sub>x-</sub>连接到GND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容，采集IN<sub>x+</sub>和IN<sub>x-</sub>输入端的模拟信号。当采集阶段完成且CNV<sub>x</sub>输入变为高电平时，就会启动转换阶段。当转换阶段开始时，SW<sub>x+</sub>和SW<sub>x-</sub>首先断开。然后，两个电容阵列从输入端断开，并连接到GND输入端。因此，采集阶段结束时捕获的IN<sub>x+</sub>和IN<sub>x-</sub>输入之间的差分电压施加于比较器输入端，导致比较器不平衡。通过在GND与REF<sub>x</sub>之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进( $V_{REF}/2$ ,

$V_{REF}/4 \dots V_{REF}/65,536$ )变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生ADC输出码和繁忙信号指示。

AD7902具有一个片上转换时钟用于转换过程，转换过程不需要串行时钟SCK<sub>x</sub>。

### 传递函数

AD7902的理想传递特性如图32和表7所示。

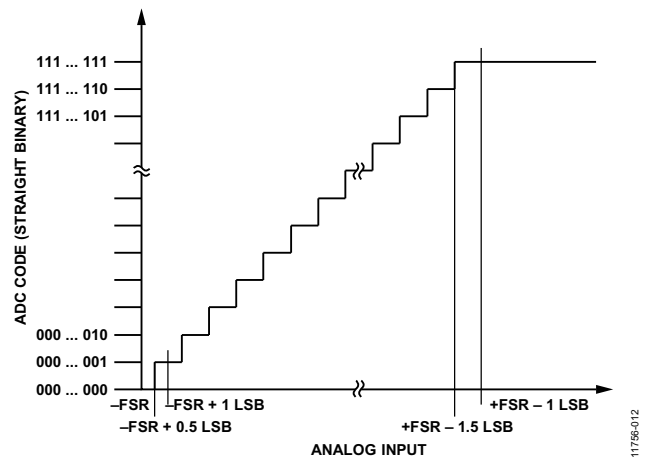


图32. ADC理想传递函数

表7. 输出码和理想输入电压

说明	模拟输入, $V_{REF} = 5\text{ V}$	数字输出码 (十六进制)
FSR - 1 LSB	4.999924 V	FFFF <sup>1</sup>
中间电平 + 1 LSB	2.500076 V	8001
中间电平	2.5 V	8000
中间电平 - 1 LSB	2.499924 V	7FFF
-FSR + 1 LSB	76.3 $\mu$ V	0001
-FSR	0 V	0000 <sup>2</sup>

<sup>1</sup> 这也是超量程模拟输入( $V_{IN+} - V_{IN-}$  大于  $V_{REF} - V_{GND}$ )对应的代码。

<sup>2</sup> 这也是欠量程模拟输入( $V_{IN+} - V_{IN-}$  低于  $V_{GND}$ )对应的代码。

典型连接图

图35所示的例子为采用多个电源时AD7902的建议连接图。

模拟输入

图33显示了AD7902输入结构的等效电路。

两个二极管D1和D2为模拟输入INx+和INx-提供ESD保护。模拟输入信号不能比基准输入电压(V<sub>REF</sub>)高0.3V以上。如果模拟输入信号超过这一水平,二极管将呈正偏并开始传导电流。这些二极管可以处理最高130 mA的正偏电流。然而,如果输入缓冲器的供电电压(例如图35所示的ADA4841-1的供电电压)与V<sub>REF</sub>的供电电压不同,则模拟输入信号最终可能比基准电源电压高0.3V以上。此时,如果输入缓冲器发生短路等情况,可利用限流功能保护器件。

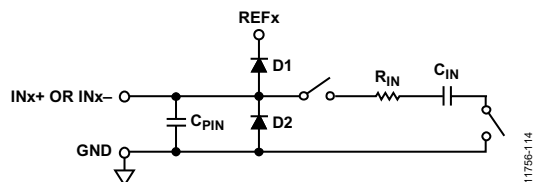


图33. 等效模拟输入电路

该模拟输入结构支持INx+和INx-之间差分信号的采样。借助这些差分输入,可以抑制两个输入端的共模信号(须在共模输入范围以内)。

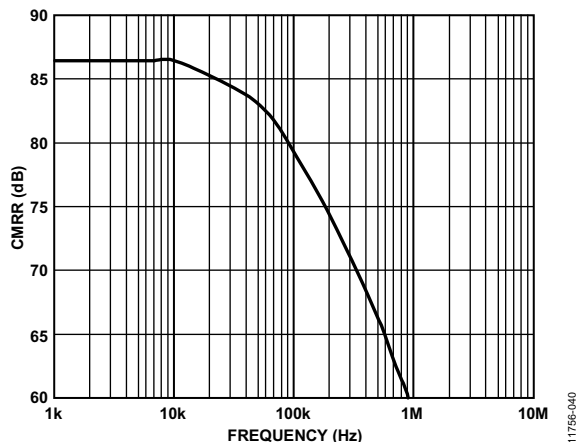
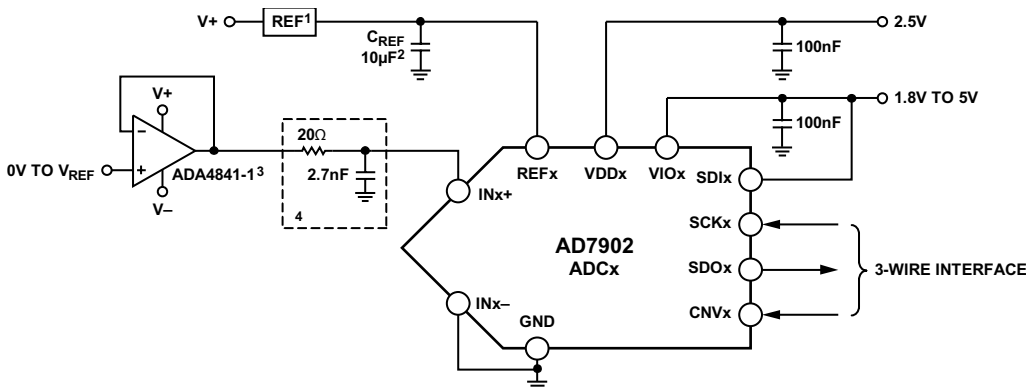


图34. 模拟输入CMRR与频率的关系

在采集阶段,模拟输入(INx+或INx-)的阻抗可以看成是由R<sub>IN</sub>和C<sub>IN</sub>串联构成的网络与电容C<sub>PIN</sub>的并联组合。C<sub>PIN</sub>主要包括引脚电容。R<sub>IN</sub>典型值为400 Ω,是由串联电阻与开关的导通电阻构成的集总元件。C<sub>IN</sub>典型值为30 pF,主要包括ADC采样电容。

在采样阶段,开关闭合时,输入阻抗受限于C<sub>PIN</sub>。R<sub>IN</sub>和C<sub>IN</sub>构成一个单极低通滤波器,可以降低不良混叠效应并限制噪声。

当驱动电路的源阻抗较低时,可以直接驱动AD7902。高源阻抗会显著影响交流特性,特别是THD。直流特性对输入阻抗的敏感度相对较低。最大的源阻抗取决于可容许的总谐波失真(THD)。THD性能下降程度是源阻抗和最大输入频率的函数。



- <sup>1</sup>SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.
- <sup>2</sup>C<sub>REF</sub> IS USUALLY A 10μF CERAMIC CAPACITOR (X5R).  
SEE RECOMMENDED LAYOUT IN FIGURE 53.
- <sup>3</sup>SEE THE DRIVER AMPLIFIER CHOICE SECTION.
- <sup>4</sup>OPTIONAL FILTER. SEE THE ANALOG INPUTS SECTION.

图35. 采用多个电源的典型应用电路

# AD7902

## 驱动放大器选择

虽然AD7902很容易驱动，但驱动放大器必须满足下列要求：

- 驱动器放大器所产生的噪声必须足够低，以保持AD7902的SNR和跃迁噪声性能。来自驱动器的噪声由 $R_{IN}$ 和 $C_{IN}$ 所构成的AD7902模拟输入电路单极低通滤波器进行滤波，或者由外部滤波器(如有)进行滤波。AD7902的典型噪声为56  $\mu$ V rms，因此放大器引起的SNR性能降低为：

$$SNR_{Loss} = 20 \log \left( \frac{47.3}{\sqrt{47.3^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

其中：

$f_{-3dB}$ 为AD7902的输入带宽(10 MHz)，单位为兆赫，或者是输入滤波器(如有)的截止频率。

$N$ 为放大器的噪声增益(例如，缓冲器配置时增益为1；参见图35)。

$e_N$ 为运算放大器的等效输入噪声电压，单位为 $nV/\sqrt{Hz}$ 。

- 对于交流应用，驱动器的THD性能必须与AD7902相当。
- 对于多通道、多路复用应用，驱动放大器和AD7902模拟输入电路必须使电容阵列以16位水平(0.0015%，15 ppm)建立满量程阶跃。在放大器的数据手册中，更常见的是规定0.1%至0.01%的建立时间。这可能与16位水平的建立时间显著不同，因此选择驱动器之前务必进行验证。

表8. 推荐的驱动放大器

放大器	典型应用
ADA4841-x	极低噪声、小尺寸、低功耗
AD8021	极低噪声、高频
AD8022	低噪声、高频
OP184	低功耗、低噪声、低频
AD8655	5 V单电源、低噪声
AD8605, AD8615	5 V单电源、低功耗

## 基准电压输入

AD7902基准电压输入REF具有动态输入阻抗，因此必须利用低阻抗源驱动，REFx与GND引脚之间应有效去耦，如“布局布线”部分所述。

利用极低阻抗源(例如使用AD8031或AD8605的基准电压缓冲器)驱动REF时，10  $\mu$ F(X5R, 0805尺寸)陶瓷芯片电容可实现最佳性能。

如果使用无缓冲基准电压，去耦值取决于所使用的基准电压源。例如，使用低温漂基准电压源ADR43x时，22  $\mu$ F(X5R, 1206尺寸)陶瓷芯片电容可实现最佳性能。

如果需要，可以使用低至2.2  $\mu$ F的基准电压去耦电容，它对性能(特别是DNL)的影响极小。

无论如何，REFx与GND引脚之间不需要额外的低值陶瓷去耦电容(如100 nF)。



## 电源

AD7902使用两个电源引脚：内核电源(VDDx)和数字输入/输出接口电源(VIOx)。VIOx可以与1.8 V至5.5 V的任何逻辑直接接口。为减少所需的电源数，VIOx和VDDx引脚可以连在一起。AD7902中VIOx和VDDx的电源时序无关。此外，该器件在很宽的频率范围内对电源变化非常不敏感，如图36所示。

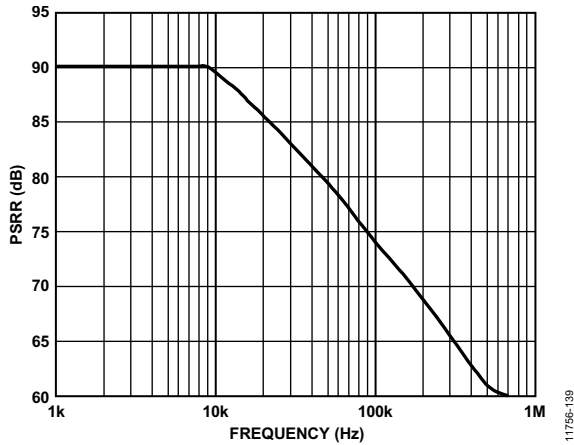


图36. PSRR与频率的关系

AD7902在每个转换阶段结束时自动关断，因此功耗与采样速率成线性比例关系。这使得该器件非常适合低采样速率（甚至几赫兹）和电池供电的应用。

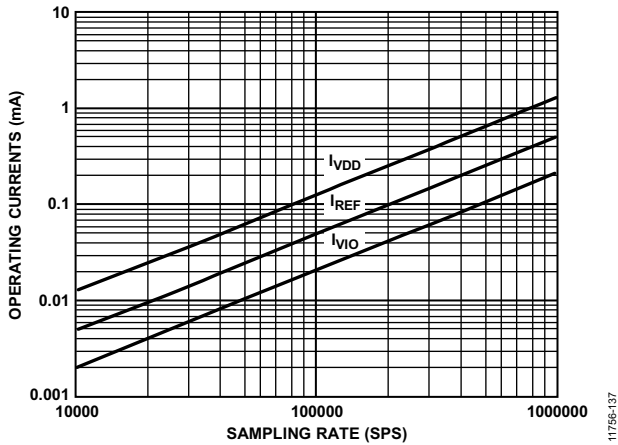


图37. 每个ADC的工作电流与采样速率的关系

## 数字接口

尽管引脚数很少，AD7902在串行接口模式上仍具有灵活性。

$\overline{CS}$ 模式下，AD7902与SPI、QSPI、数字主机和DSP兼容。此模式下，AD7902可使用三线式或四线式接口。三线式接口使用CNVx、SCKx和SDOx信号，可将线路连接减至最少，在隔离应用中非常有用。四线式接口使用SDIx、CNVx、SCKx和SDOx信号，用于启动转换的CNVx与回读时序(SDIx)无关，这在低抖动采样或同步采样应用中很有用。

链模式下，AD7902提供菊花链特性，利用SDIx输入可在类似移位寄存器的单条数据线上实现多个ADC的级联。AD7902一个封装中包含两个ADC，使用链模式时，仅需一组四线式用户接口信号便可从两个ADC获取数据。

器件工作模式取决于CNVx上升沿出现时的SDIx电平。如果SDIx为高电平，选择 $\overline{CS}$ 模式，而如果SDIx为低电平，则选择链模式。SDIx保持时间是这样的：当SDIx和CNVx连接在一起时，始终选择链模式。

任一模式下，AD7902均提供在数据位前强制加入起始位的选项。此起始位可用作繁忙信号指示，以中断数字主机并触发数据读取。如果无繁忙指示，用户必须在回读前等待最大转换时间。

繁忙指示功能在下列情况下使能：

- $\overline{CS}$ 模式下，当ADC转换结束时，CNVx或SDIx为低电平（参见图41和图45）。
- 链模式下，在CNVx上升沿期间，SCKx为高电平（参见图49）。

# AD7902

## CS模式

### CS模式(三线式接口, 无繁忙指示)

将单个AD7902连接到兼容SPI的数字主机时, 通常会使用此模式。

连接图如图38所示, 相应的时序图如图39所示。

将SDIx连接到VIOx时, CNVx上的上升沿启动转换, 选择CS模式, 并强制SDOx进入高阻态。启动转换后, 无论CNVx为何状态, 转换都会执行到完成为止。这是很有用的, 例如, 可拉低CNVx来选择模拟多路复用器等其它SPI器件。

不过, 为避免生成繁忙信号指示, 在最小转换时间逝去之前, CNVx必须返回高电平, 接着在最大转换时间内保持高电平。转换完成后, AD7902进入采集阶段并关断。CNVx变为低电平时, MSB自动输出至SDOx。剩余数据位在随后的SCKx下降沿逐个输出。数据在SCKx的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据, 但使用SCKx下降沿的数字主机能实现更快的读取速率, 只要它具有合理的保持时间。在第16个SCKx下降沿之后, 或者当CNVx变为高电平时(以最先出现者为准), SDOx返回高阻态。

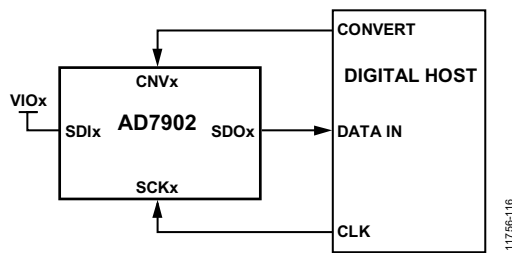


图38. CS模式(三线式接口且无繁忙指示)连接图(SDIx高电平)

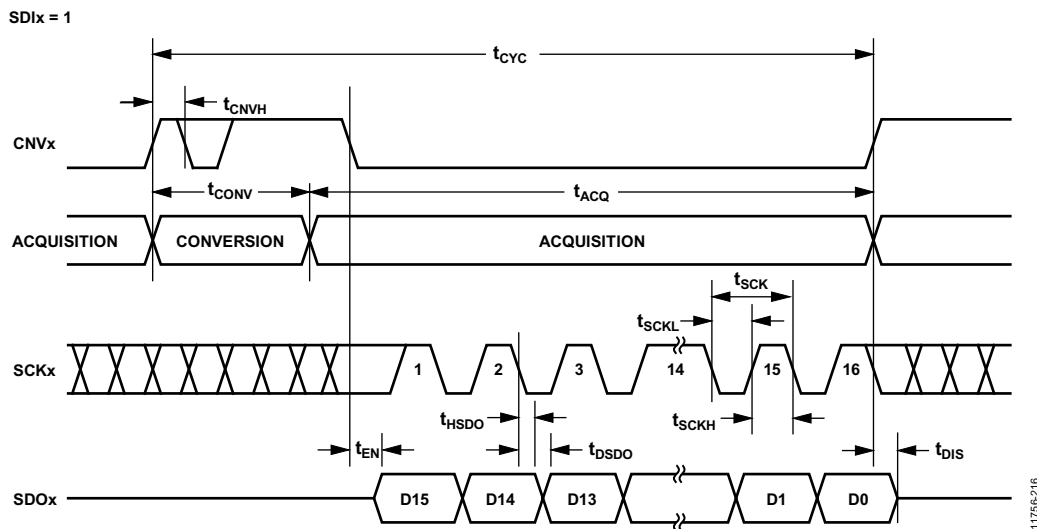


图39. CS模式(三线式接口且无繁忙指示)串行接口时序(SDI高电平)

**CS模式(三线式接口, 带繁忙指示)**

将单个AD7902连接到兼容SPI且具有中断输入的数字主机时, 通常会使用此模式。

连接图如图40所示, 相应的时序如图41所示。

将SDIx连接到VIOx时, CNVx上的上升沿启动转换, 选择CS模式, 并强制SDOx进入高阻态。无论CNVx状态如何, SDOx都会保持高阻态, 直至转换完成。最小转换时间之前, CNVx可用于选择其它SPI器件, 如模拟多路复用器, 但CNVx必须在最小转换时间逝去前返回低电平, 接着在最大可能转换时间内保持低电平, 以保证生成繁忙信号指示。

转换完成时, SDOx从高阻态变为低阻态。结合SDOx线路上的上拉, 此跃迁可用作中断信号, 以启动由数字主机控制的数据读取。AD7902接着进入采集阶段并关断。数据位则在随后的SCKx下降沿逐个输出, MSB优先。数据在SCKx的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据, 但使用SCKx下降沿的数字主机能实现更快的读取速率, 只要它具有合理的保持时间。在可选的第17个SCKx下降沿之后, 或者当CNVx变为高电平时(以最先出现者为准), SDOx返回高阻态。

如果同时选择多个ADC, SDOx输出引脚可在不造成损坏或引起闩锁的情况下处理此竞争。同时, 建议此竞争时间尽可能短暂, 以限制额外功耗。

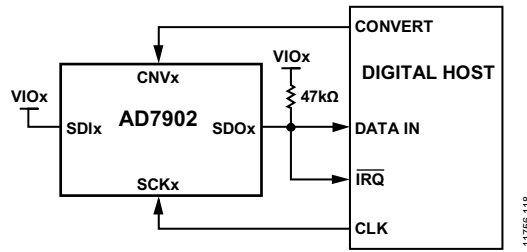


图40. CS模式(三线式接口, 带繁忙指示)连接图(SDIx高电平)

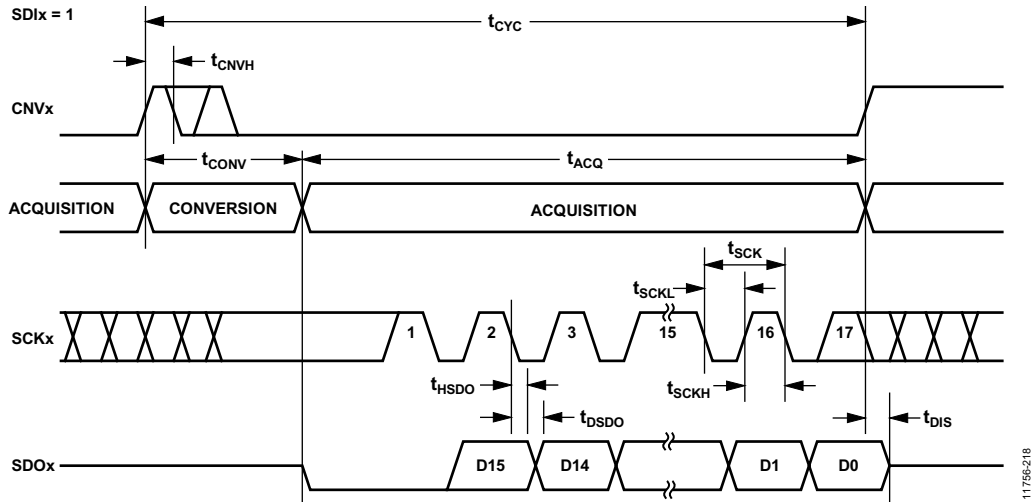


图41. CS模式(三线式接口, 无繁忙指示)串行接口时序(SDIx高电平)

# AD7902

## $\overline{CS}$ 模式(四线式接口, 无繁忙指示)

将AD7902的两个ADC均连接到兼容SPI的数字主机时, 通常会使用此模式。

AD7902连接图示例参见图42。相应的时序图参见图43。将SDIx置为高电平时, CNVx上的上升沿启动转换, 选择 $\overline{CS}$ 模式, 并强制SDOx进入高阻态。此模式下, CNVx在转换阶段和随后的数据回读期间保持高电平。(SDIx和CNVx为低电平时, SDOx变为低电平。)在最小转换时间之前, SDIx可用于选择其它SPI器件, 如模拟多路复用器, 但SDIx必须在最小转换时间逝去前返回高电平, 接着在最大可能

转换时间内保持高电平, 以避免生成繁忙信号指示。转换完成后, AD7902进入采集阶段并关断。每个ADC结果可通过将相应的SDIx输入拉低来读取, 从而将MSB输出至SDOx。剩余数据位则在随后的SCKx下降沿逐个输出。数据在SCKx的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据, 但使用SCKx下降沿的数字主机可实现更快的读取速率, 只要它具有合理的保持时间。在第16个SCKx下降沿之后, 或者当SDIx变为高电平时(以最先出现者为准), SDOx返回高阻态, 可读取另一个ADC结果。

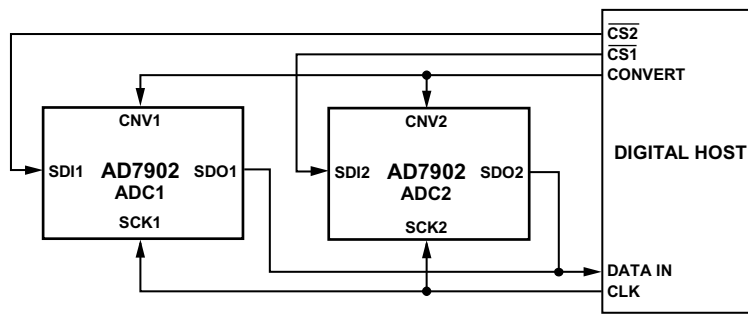


图42.  $\overline{CS}$ 模式(四线式接口且无繁忙指示)连接图

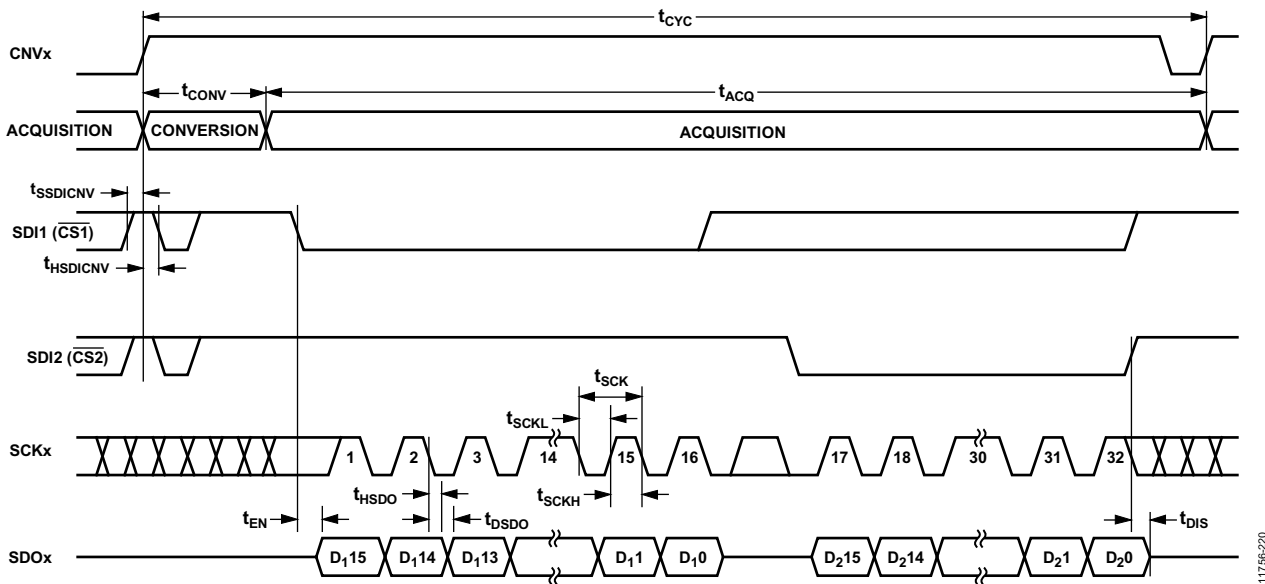


图43.  $\overline{CS}$ 模式(四线式接口且无繁忙指示)串行接口时序

**CS模式(四线式接口, 带繁忙指示)**

将AD7902连接到兼容SPI且具有中断输入的数字主机时, 通常会使用此模式(四线式接口, 带繁忙指示)。当希望用于对模拟输入进行采样的CNV<sub>x</sub>与用于选择数据读取的信号无关时, 也会使用这种模式。该独立性在需要CNV<sub>x</sub>低抖动的应用中尤其重要。

连接图如图44所示, 相应的时序如图45所示。

将SDI<sub>x</sub>置为高电平时, CNV<sub>x</sub>上的上升沿启动转换, 选择CS模式, 并强制SDO<sub>x</sub>进入高阻态。此模式下, CNV<sub>x</sub>在转换阶段和随后的数据回读期间保持高电平。(SDI<sub>x</sub>和CNV<sub>x</sub>为低电平时, SDO<sub>x</sub>变为低电平。)最小转换时间之前, SDI<sub>x</sub>可用于选择其它SPI器件, 如模拟多路复用器, 但SDI<sub>x</sub>

必须在最小转换时间逝去前返回低电平, 接着在最大可能转换时间内保持低电平, 以保证生成繁忙信号指示。转换完成时, SDO<sub>x</sub>从高阻态变为低阻态。结合SDO<sub>x</sub>线路上的上拉, 此跃迁可用作中断信号, 以启动由数字主机控制的数据回读。AD7902接着进入采集阶段并关断。数据位则在随后的SCK<sub>x</sub>下降沿逐个输出, MSB优先。数据在SCK<sub>x</sub>的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据, 但使用SCK<sub>x</sub>下降沿的数字主机能实现更快的读取速率, 只要它具有合理的保持时间。在可选的第17个SCK<sub>x</sub>下降沿或者SDI<sub>x</sub>变为高电平之后(以最先出现者为准), SDO<sub>x</sub>返回高阻态。

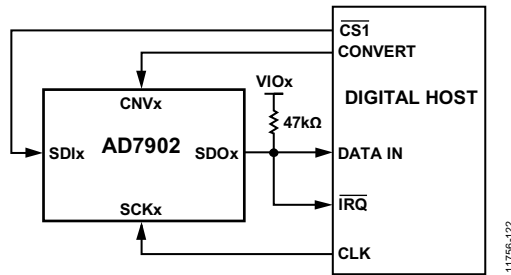


图44. CS模式(四线式接口, 带繁忙指示)连接图

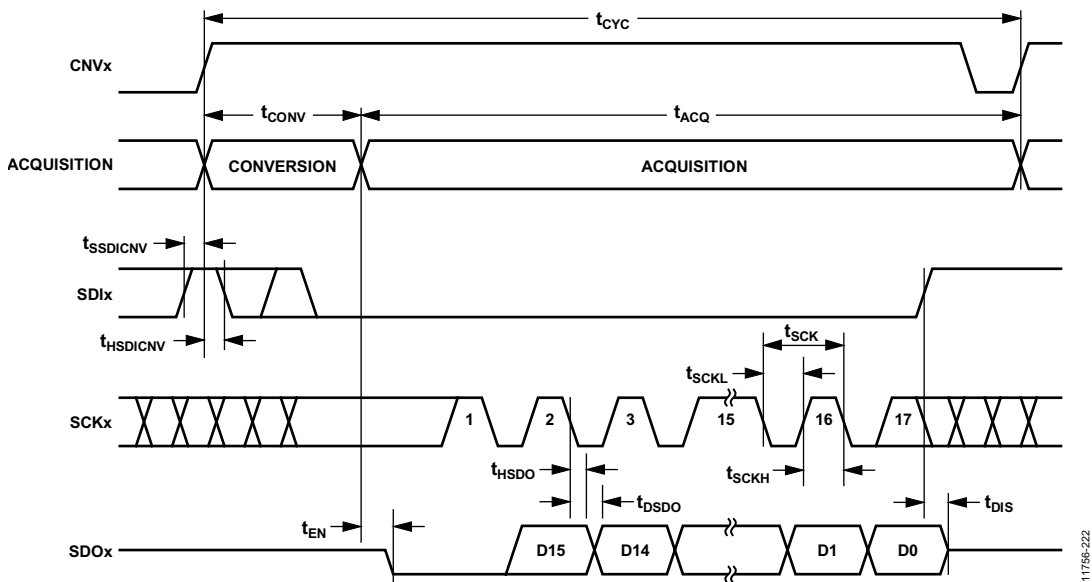


图45. CS模式(四线式接口, 带繁忙指示)串行接口时序



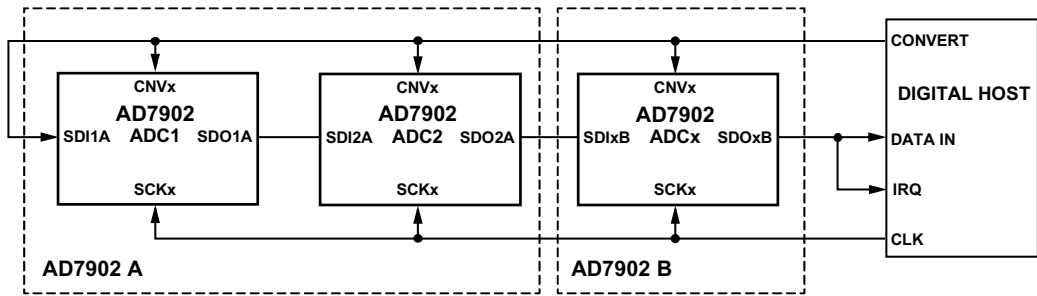
## 链模式(有繁忙指示)

此模式也可用于在三线式串行接口上以菊花链形式连接AD7902中的两个ADC，同时提供繁忙指示。这一特性有助于减少器件数量和线路连接；例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

使用三个AD7902 ADC的连接图示例参见图48。相应的时序参见图49。

SDIx和CNVx为低电平时，SDOx变为低电平。将SCKx置为高电平时，CNVx上的上升沿启动转换，选择链模式，并启用繁忙指示功能。此模式下，CNVx在转换阶段和随后的数据回读期间保持高电平。链内所有ADC完成转换后，

将最靠近数字主机的ADC的SDOx引脚(参见图48的AD7902 B框中标示为ADCx的ADC)驱动为高电平。SDOx上的这一跃迁可用作繁忙指示，以触发由数字主机控制的数据回读。AD7902接着进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCKx下降沿以MSB优先方式逐个输出。对于每个ADC，SDIx馈入内部移位寄存器的输入端，并通过SCKx下降沿逐个输出。链内每个ADC首先输出数据MSB，回读N个ADC需要 $16 \times N + 1$ 个时钟。虽然上升沿可以用于捕捉数据，但使用SCKx下降沿的数字主机能实现更快的读取速率，从而在链中容纳更多ADC，只要数字主机具有合理的保持时间。



- NOTES
1. DASHED LINE DENOTED ADCs ARE WITHIN A GIVEN PACKAGE.
  2. SDI1A AND SDO1A REFER TO THE SDI1 AND SDO1 PINS IN ADC1 IN THE FIRST AD7902 OF THE CHAIN (AD7902 A). SDI2A AND SDO2A REFER TO THE SDI2 AND SDO2 PINS IN ADC2 OF AD7902 A. LIKEWISE, SDIxB AND SDOxB REFER TO THE SDIx AND SDOx PINS IN BOTH ADC1 AND ADC2 OF THE SECOND AD7902 IN THE CHAIN (AD7902 B).

图48. 链模式(带繁忙指示)连接图

11756-126

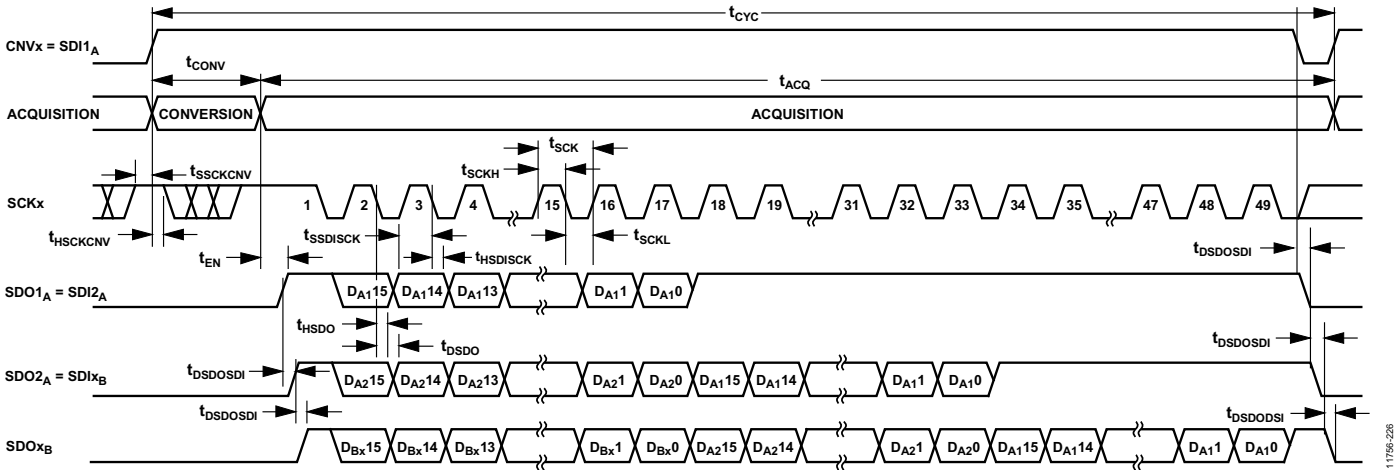


图49. 链模式(带繁忙指示)串行接口时序

11756-126



## 应用信息

### 同步采样

AD7902具有两个独特的用户接口，用户可以非常灵活地从器件访问转换结果。AD7902允许这两个用户接口共享数字主机的转换开始(CNV<sub>x</sub>)信号，从而形成一个双通道同步采样器件。在控制之类的应用中，采样时刻与结果在数字主机中可用之间的延迟时间很关键，建议按照图50所示配置AD7902。除同步采样外，这种配置还允许同步读取数据。然而，这种配置同时要求数字主机上有一个额外数据输入引脚。这种情形下，吞吐速率可以达到最大，因为从ADC获取数据只需要15或16个SCK<sub>x</sub>下降沿(取决于繁忙指示的状态)。

对于需要同步采样但数字主机上的引脚有限的应用，AD7902的两个用户接口可以连接成图46或图48所示的菊花链配置。利用这种菊花链，用户可以实现同步采样，与此同时只需要一个数字主机输入引脚。这种情形下，从ADC获取数据需要31或32个SCK<sub>x</sub>下降沿(取决于繁忙指示的状态)。

图50显示了一个同步采样系统的例子，其中数字主机有两个数据输入引脚。图51为相应的时序图，显示的是CS模式——无繁忙指示的三线式同步采样串行接口。不过，任何三线式或四线式串行接口时序选项都可以使用。

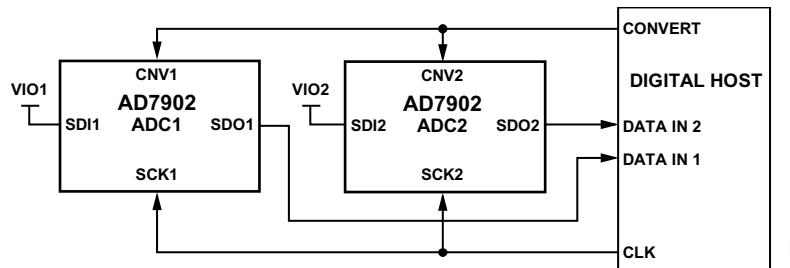


图50. 可能的同步采样连接图

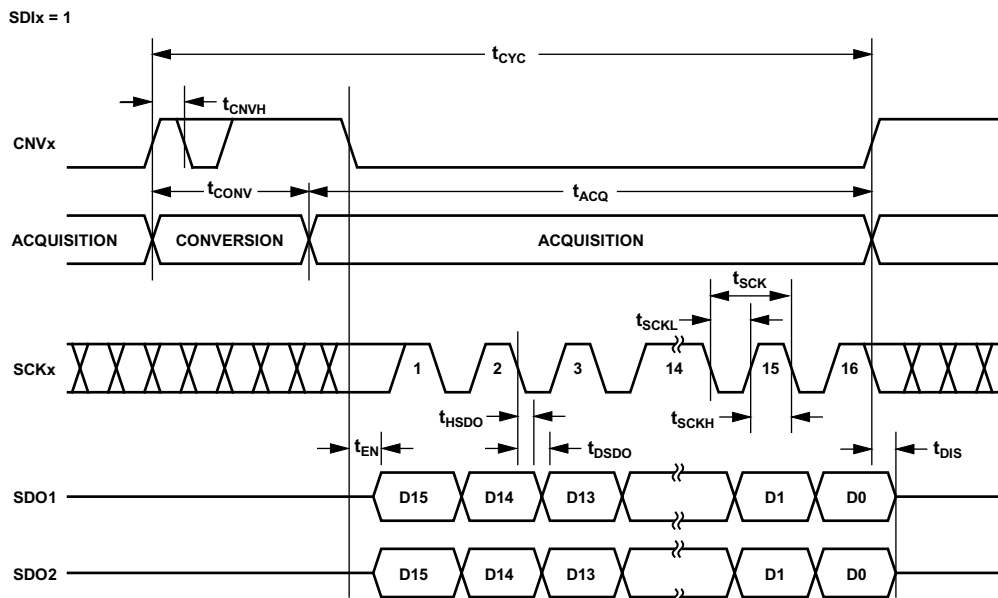


图51. 可能的同步采样串行接口时序



## 功能安全考虑

AD7902内置两个物理上隔离的ADC，非常适合功能安全应用。由于这一隔离，每个ADC都有一个独立的用户接口、一个独立的基准输入、一个独立的模拟输入和独立的电源。物理隔离使该器件适合进行验证/备用测量，在测量的同时可将验证ADC与受控系统隔开。

虽然“同步采样”部分说明了器件如何以同步方式工作，但该电路实际上由两个独立的信号链组成。这种分离使得

AD7902非常适合用来处理冗余测量应用。采样具有冗余ADC测量的信号链有助于实现无单一误差的系统。图52显示了一个包含冗余测量的典型功能安全应用电路，其中利用了对反转信号的监控。该反转用来检测常见原因引起的故障，即在故障状况下，电路输出在同一方向上移动，而不是像预期那样在相反方向上移动。

此外，容纳该器件的QSOP封装允许对引脚进行检测。

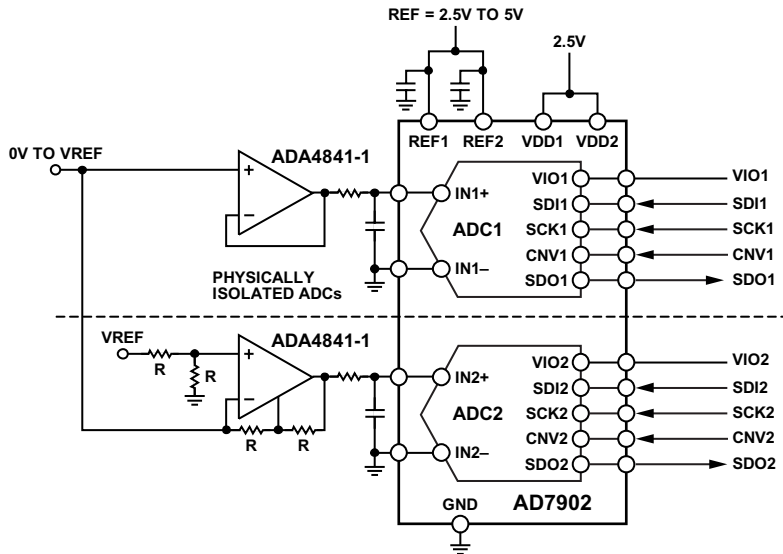


图52. 典型功能安全框图

11756-146

## 布局布线

AD7902所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。AD7902的模拟信号位于左侧，数字信号位于右侧，这种引脚排列可以简化设计。

避免在器件下方布设数字线路，否则会将噪声耦合至芯片管芯，除非在AD7902下方铺一个接地层用作屏蔽。不要在模拟信号路径附近运行快速开关信号(如CNVx或时钟)。避免数字信号与模拟信号交叠。为避免发生信号保真问题，务必确保PCB布局中的数字边沿具有单调性。

至少使用一个接地层。数字和模拟部分可以共用或分割使用接地层。后一情况中，接地层应在AD7902器件下方连接。

AD7902基准电压输入引脚REF1和REF2具有动态输入阻

抗。去耦这些基准输入时，为使寄生电感最小，应将基准电压源的去耦陶瓷电容靠近(理想情况是正对)REFx和GND引脚放置，并用较宽的低阻抗走线进行连接。

最后，用通常为100 nF的陶瓷电容去耦电源VDDx和VIOx。电容应靠近AD7902，并使用短而宽的走线进行连接，以提供低阻抗路径并降低电源线上的毛刺效应。

图53为遵循这些规则的一个布局示例。

### 评估AD7902性能

用户指南UG-608中给出了AD7902的其它推荐布局布线。控制板(EVAL-AD7902SDZ)套件包括装配完善且经过测试的控制板、用户指南以及用于从PC通过EVAL-SDP-CB1Z控制评估板的软件。

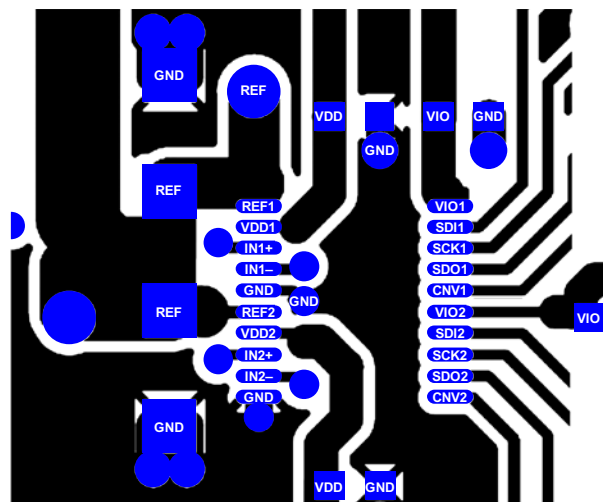
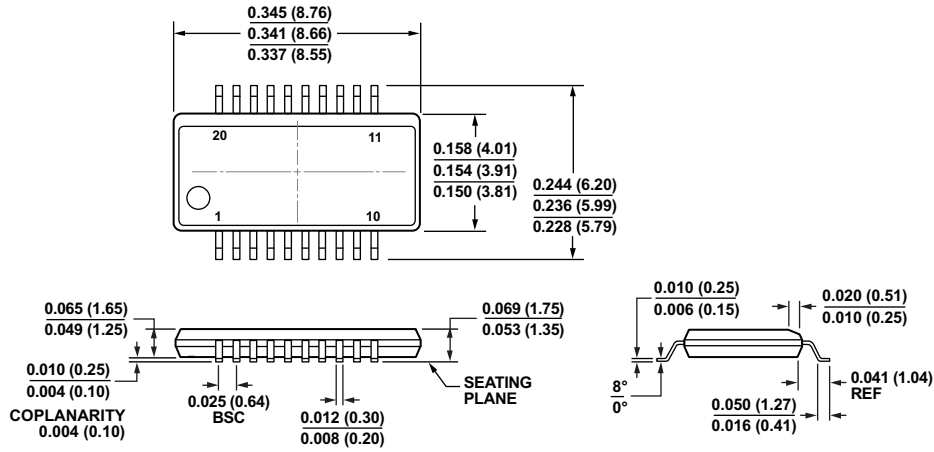


图53. AD7902的布局布线示例(顶层)

11756-147

# 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-137-AD  
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

08-10-2008-A

图54. 20引脚紧缩小型封装[QSOPT]  
 (RQ-20)

图示尺寸单位: 英寸和(毫米)

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项	运输介质, 数量
AD7902BRQZ	-40°C至+125°C	20引脚紧缩小型封装[QSOPT]	RQ-20	卷带, 56
AD7902BRQZ-RL7	-40°C至+125°C	20引脚紧缩小型封装[QSOPT]	RQ-20	卷盘, 1,000
EVAL-AD7902SDZ		控制板		
EVAL-SDP-CB1Z		转接板		

<sup>1</sup> Z = 符合RoHS标准的器件。

**AD7902**

**注释**