

BA6587K

BA6588K

FDD 用リード/ライト Read/Wright Amplifier for FDD

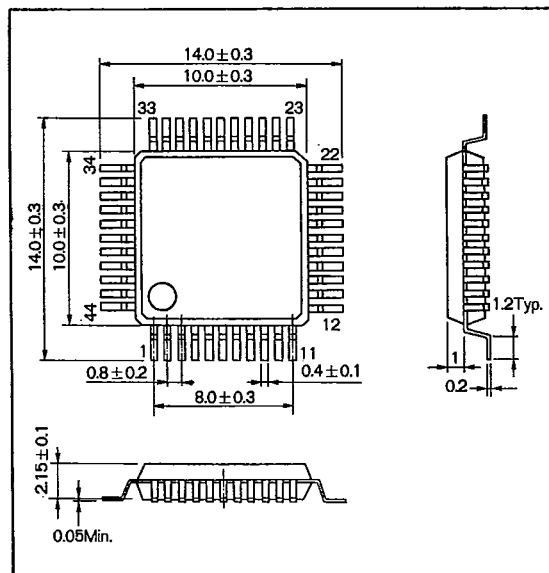
T-52-38

BA6587K, BA6588Kは、3 インチ、3.5 インチ、5 インチ対応フロッピーディスクドライブ用 IC で、ワンチップにリード回路、ライト回路を内蔵しています。

パワーセーブ機能及び 5V 単一動作により低消費電力を実現できます。

BA6587K and BA6588K are 3, 3.5 and 5 inch adaptive floppy disk drive IC with read and write circuits incorporated in one chip. Low power consumption is realized by power saving function and operation with a 5V SUM 1 battery.

● 外形寸法図/Dimensions (Unit : mm)



● 特長

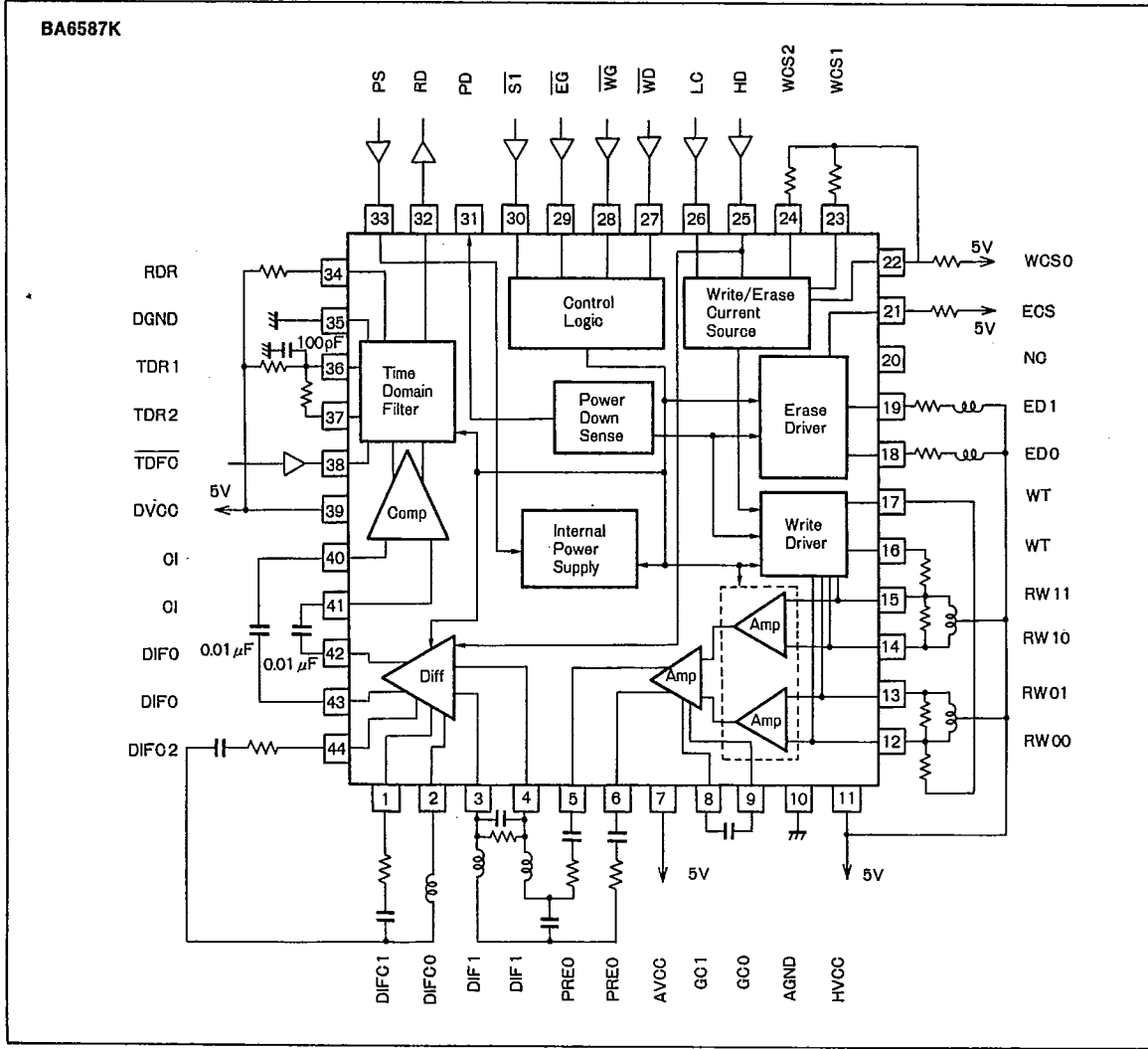
- 1) 5V 単一電源動作
- 2) 動作電圧範囲は 4.4~6.0V と広い
- 3) パワーセーブ端子によるスタンバイモードの設定が可能
スタンバイ時消費電力 6.8mW (5V 時)
- 4) 低消費電力
リード時 200mW (5V 時)
ライト時 85mW (5V 時, $I_{WR}=I_{ER}=0mA$)
- 5) プリアンプは、47.5dB の差動電圧利得が得られる。
- 6) リードデータ時定数設定用コンデンサ及びパルス幅設定用コンデンサ内蔵
- 7) 微分定数切り換え回路内蔵
- 8) ライト電流は 4 段階に切り換え可能 (標準密度内周, 標準密度外周, 高密度内周, 高密度外周)
- 9) タイムドメインフィルタは 2 段切り換え
- 10) 電源電圧低下検出回路を内蔵しており、電源立ち上がり時や電源電圧低下時において不正書き込みを完全に禁止する。

● Features

- 1) Operable with a 5V SUM 1 battery.
- 2) Range of operation voltage is as wide as 4.4 ~ 6.0V.
- 3) Setting of standby mode is possible using the power saving pin.
Power consumed in standby 6.8mW (at 5V)
- 4) Low power consumption
Upon reading 200mW (at 5V)
Upon writing 85 mW (at 5V, $I_{WR}=I_{ER}=0mA$)
- 5) The gain of preamplifier for differential voltage is 47.5 dB.
- 6) The IC incorporates a capacitor for setting constant and pulse width during data reading.
- 7) A differential constant switching circuit is built in.
- 8) Writing current is selectable in 4 stages (Stand density inner, standard density outer, high density inner, high density outer).
- 9) Time domain filter is selectable in 2 stages.
- 10) With a power supply undervoltage detection circuit built in, illegal writing is completely prohibited even upon buildup or undervoltage of the power supply.

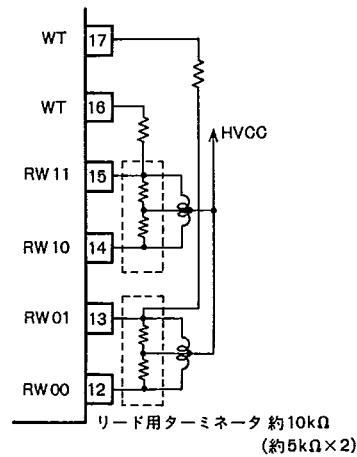
● ブロックダイアグラム及び外付け回路図 / Block Diagram and External Circuit

T-52-38

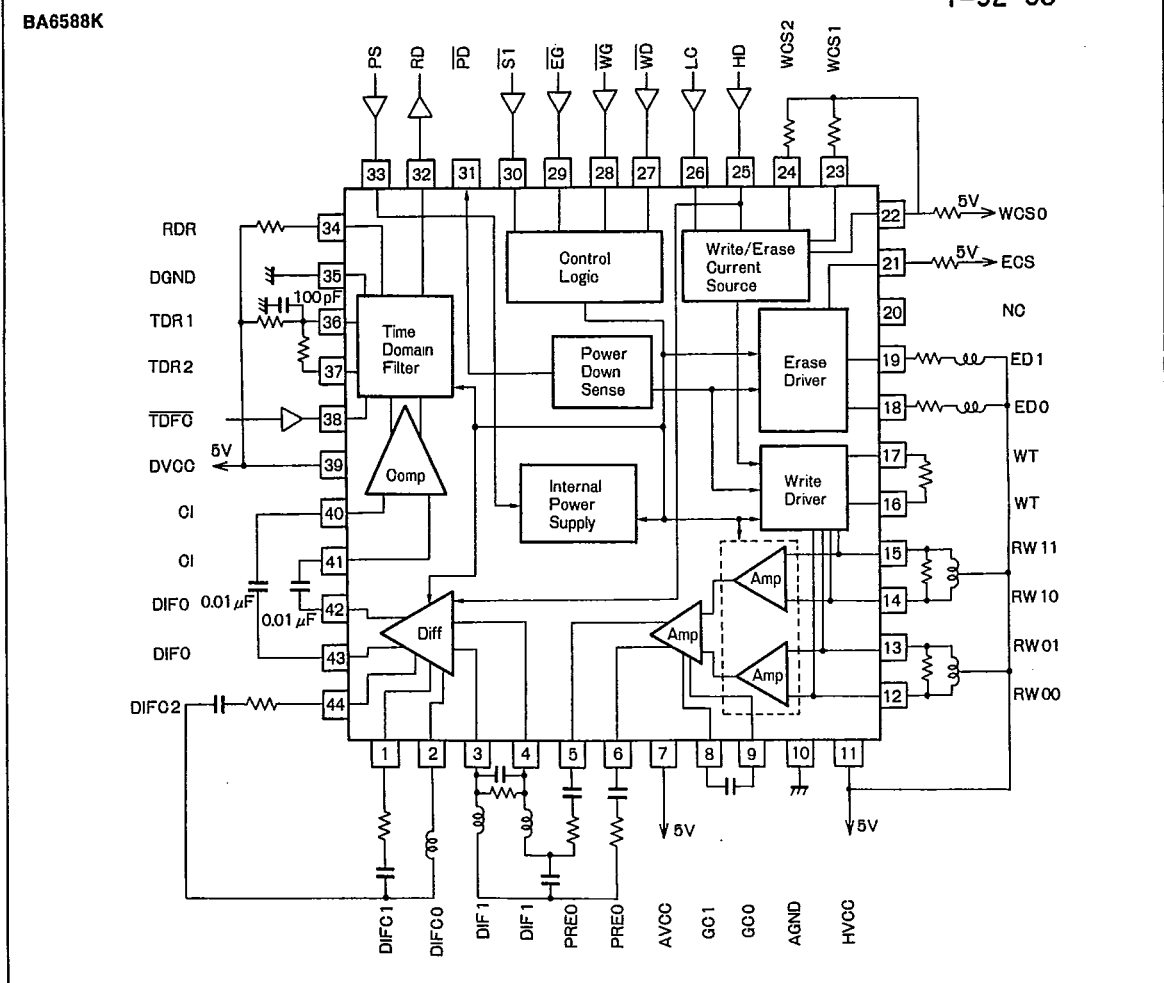


OA 機器用
FDD

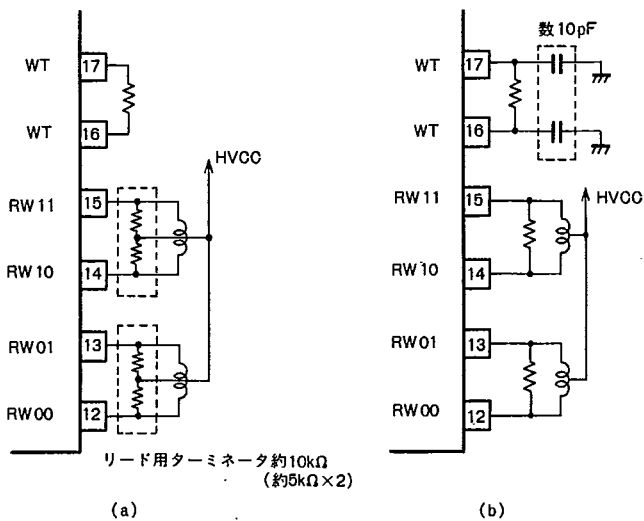
(注) リード・ライト・ヘッドの特性によって(特にコイルの位相が逆転する周波数が 2MHz 付近にあるとき)ライト電流切り替わり時に電流波形が発振現象を起こす場合があります。そのような場合は、右図のようなアプリケーションにて発振等が起らないことを確認して使用してください。



T-52-38



(注) リード・ライト・ヘッドの特性によって（特にコイルの位相が反転する周波数が 2MHz 付近にあるとき）ライト電流切り替わり時に電流波形が発振現象を起こす場合があります。そのような場合は、右図の (a) または (b) のようなアプリケーションにて発振等が起こらないことを確認して使用してください。



● 端子機能説明

T-52-38

ブロック	端子番号	端子名	機能
ヘッドスイッチ系	12	RW00	サイド0 R/Wヘッド接続端子
	13	RW01	
	14	RW10	サイド1 R/Wヘッド接続端子
	15	RW11	
リードプリアンプ系	9	GC0	ゲイン調整端子
	8	GC1	
	6	PREO	プリアンプ差動出力端子
	5	PREO	
微分器系	4	DIFI	微分器差動入力端子
	3	DIFI	
	2	DIFC0	微分定数接続端子
	1	DIFC1	
	44	DIFC2	
	コンパレータ系	43	DIFO
42		DIFO	
コンパレータ系	41	CI	コンパレータ差動入力端子
	40	CI	
タイムドメイン フィルタ系	37	TDR2	タイムドメインフィルタ時定数補正端子
	36	TDR1	タイムドメインフィルタ設定端子
	34	RDR	リードデータ出力パルス幅設定端子
	32	RD	リードデータ出力
ライト系	22	WCS0	ライト電流設定端子
	23	WCS1	ライト電流補正端子1(LC=Lのとき有効)
	24	WCS2	ライト電流補正端子2(HD=Hのとき有効)
	16	WT	ライトダンピング抵抗接続端子
	17	WT	
イレース系	18	ED0	サイド0イレース出力
	19	ED1	サイド1イレース出力
	21	ECS	イレース電流設定端子
コントロール ロジック入力	25	HD* ¹	標準密度/高密度切換端子
	26	LC* ²	トラック内/外周切換端子
	27	WD	ライトデータ入力
	28	WG	ライト許可入力
	29	EG	イレース許可入力
	30	ST	ヘッドサイド切換入力
	33	PS	パワーセーブ入力
38	TDFC* ³	タイムドメインフィルタ定数切換入力	
減電検出	31	PD	減電検出出力
電源系	11	HVCC	プリアンプ系 VCC
	7	AVCC	アナログ系 VCC
	39	DVCC	デジタル系 VCC
	10	AGND	アナログ系 GND
	35	DGND	デジタル系 GND
	20	NC	

* 1, 2

HD	LC	ライト電流	微分器定数
H	L	22ピンと23ピンと24ピンで設定された電流	44ピン-2ピン間の定数が有効
	H	22ピンと24ピンで設定された電流	
L	L	22ピンと23ピンで設定された電流	1ピン-2ピン間の定数が有効
	H	22ピンで設定された電流	

* 3 Lのとき補正あり 上記の補正端子は補正抵抗が設定抵抗に対して並列に働きます。

OA
機器用

FDD

● 絶対最大定格/Absolute Maximum Ratings (Ta=25°C)

Parameter	Symbol	Limits	Unit
電源電圧	AVCC, DVCC	+7	V
	HVCC	+16	V
動作温度範囲	Topr	0~+70	°C
保存温度範囲	Tstg	-55~125	°C
デジタル系入力電圧	V1	-0.3~DVCC+0.3	V
RW 端子電圧	VRW	+25	V
PD 出力電圧	V _{PD}	+16	V
イレーズドライブ電流	I _{ER}	100	mA
EO 端子電圧	V _{ER}	+25	V

T-52-38

● 推奨動作条件 (Ta=0°C~70°C)

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions
電源電圧範囲	HVCC	4.4	5.0	6.0	V	
電源電圧範囲	DVCC	4.4	5.0	6.0	V	
電源電圧範囲	AVCC	4.4	5.0	6.0	V	

● 電気的特性/Electrical Characteristics (Unless otherwise noted, Ta=25°C, HVCC=AVCC=DVCC=5V)

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions	Test Circuit
回路電流							
待機時回路電流	I _{CCHS}	—	0.01	0.03	mA	HVCC 回路電流	Fig.3
	I _{CCDS}	—	0.85	1.3	mA	DVCC 回路電流	
	I _{CCAS}	—	0.5	0.7	mA	AVCC 回路電流	
リード時 回路電流	I _{CCHR}	—	1.7	2.4	mA	HVCC 回路電流	Fig.3
	I _{CCDR}	—	21.5	29	mA	DVCC 回路電流	
	I _{CCAR}	—	17	23.5	mA	AVCC 回路電流	
ライト時 回路電流 (I _{WR} =I _{ER} =0mA)	I _{CCHW}	—	0.01*	0.05*	mA	HVCC 回路電流	Fig.3
	I _{CCDW}	—	10	18	mA	DVCC 回路電流	
	I _{CCAW}	—	7.0	10	mA	AVCC 回路電流	
減電検出回路							
スレッシュホールド電圧	V _{TH}	3.5	3.9	4.2	V	AVCC で減電を検出する	Fig.4
ヒステリシス電圧	V _H	50	—	—	mV		Fig.4
出力レベル電圧	V _{OL}	—	—	0.4	V	V _{CC} =2V I _{OL} =0.5mA	Fig.4
出力リーク電流	I _{OH}	—	—	1	μA		Fig.4

* BA6588K の場合 Typ. 1.0mA, Max. 1.4mA

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions	(Test Circuit)
リカバリタイム							
POWER SAVE→READ	T_{r1}	—	—	1	ms	PS による	*1 Fig.5
READ→WRITE	T_{r2}	—	—	4	μ s	WG による	Fig.5
WRITE→READ	T_{r3W}	—	—	300	μ s	WG による	*2 Fig.5
	T_{r3E}	—	—	20	μ s	EG による	Fig.5
SIDE0↔SIDE1	T_{r4}	—	—	40	μ s	S1 による	Fig.5
プリアンプ部							
差動電圧利得	G_{VD}	45.5	47.5	49.5	dB	$f=250\text{kHz}$, $V_{IN}=2.5\text{mV}_{p-p}$	Fig.6
周波数特性	BW	3	—	—	MHz	$250\text{kHz}=0\text{dB}$, -3dB 周波数	Fig.6
SIDE0↔SIDE1クロストーク	G_{CTLK}	50	—	—	dB	$f=250\text{kHz}$	Fig.6
差動入力抵抗	R_{ID}	20	—	—	k Ω		Fig.7
入力換算雑音電圧(1)	V_{N1}	—	4.5	8	μ V _{rms}	$f=400\sim 1\text{MHz}$	Fig.8
入力換算雑音電圧(2)	V_{N2}	—	5	10	μ V _{rms}	$f=400\sim 1\text{MHz}$	*3 Fig.8
入力シンク電流	I_{SINK}	—	100	200	μ A		Fig.9
差動入力電圧最大振幅	V_{INmax}	—	—	15	mV _{p-p}		*4 Fig.6
差動出力電圧振幅	V_{OD}	2	—	—	V _{p-p}	歪率 5%	Fig.6
差動出力抵抗	R_{OD}	—	120	—	Ω		Fig.6
差動出力電流振幅	I_{OD}	5.8	7.4	—	mA _{p-p}		Fig.6
同相信号除去比	CMRR	50	—	—	dB	$L=330\mu\text{H}$ $V_{IN}=100\text{mV}_{p-p}$, $f=250\text{kHz}$	Fig.10
電源電圧変動除去比	PSRR	60	—	—	dB	$L=330\mu\text{H}$, $f=125\text{kHz}$	Fig.11
		40	—	—	dB	$V_{IN}=100\text{mV}_{p-p}$, $f=400\text{kHz}$	
微分器							
電圧利得	G_{VD}	14	16	18	dB	$f=250\text{kHz}$, $R_E=510\Omega$	Fig.12
周波数特性	BW	3	—	—	MHz	$250\text{kHz}=0\text{dB}$, -3dB 周波数	Fig.12
DIFC1↔DIFC2クロストーク	G_{CTLK}	45	—	—	dB	$f=250\text{kHz}$	Fig.12
差動入力抵抗	R_{ID}	30	—	—	k Ω		Fig.13
微分定数設定端子出力抵抗	R_{CD}	—	100	—	Ω		Fig.12
微分定数設定端子電流	I_{SINK}	0.5	0.75	—	mA		Fig.14
差動出力抵抗	R_{OD}	—	50	—	Ω		Fig.12
差動出力電圧振幅	V_{OD}	2	—	—	V _{p-p}	歪率 5%	Fig.12
出力シンク電流	I_{OSINK}	1.8	2.8	—	mA		Fig.14

*1 微分器—コンパレータ間のカップリングコンデンサ 0.01 μ F, 微分器入力—GND 間のコンデンサ 1000pF 以下の場合

*2 全項目において 44pin—2pin 間及び 1pin—2pin 間の微分定数内の C の値は 0.01 μ F 以下とする。

*3 微分器入力により 1V_{p-p}, 250kHz を入力し, TDF パルス幅 1.2 μ s, RD パルス幅 0.5 μ s に設定したとき。

*4 8—9pin 間を抵抗で補正したときを含む

OA 機器用

FDD

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions	Test Circuit
コンパレータ及び波形整形							
差動入力抵抗	R_{ID}	10	—	—	k Ω		Fig.15
最大差動入力電圧	V_{INmax}	4	—	—	V _{P-P}		Fig.16
TD M/M パルス幅設定範囲	t_{TD}	500	—	3000	ns		Fig.16
TD M/M パルス幅精度 *5	ETD_1	-20	—	+20	%	$R_{TD}=200k\Omega$ ($t_{TD}\approx 2.35\mu s$)	Fig.16
	ETD_2	-12	—	+12	%	$R_{TD}=40k\Omega$, $C_{TD}=100pF$ (ϕ)	
TD M/M パルス幅電圧依存性 *5	$PS_{t_{TD1}}$	-12	-5	+4	%/V	$R_{TD}=200k\Omega$ ($t_{TD}\approx 2.35\mu s$)	Fig.16
	$PS_{t_{TD2}}$	-6	-1	+4	%/V	$R_{TD}=40k\Omega$, $C_{TD}=100pF$ (ϕ)	
RD M/M パルス幅設定範囲	t_{RD}	125	—	1500	ns		Fig.16
RD M/M パルス幅精度	ERD	-20	—	+20	%	$R_{RD}=36k\Omega$ ($t_{RD}\approx 0.5\mu s$)	Fig.16
RD M/M パルス幅電圧依存性	$PS_{t_{RD}}$	-12	-2	+12	%/V	$R_{RD}=36k\Omega$ ($t_{RD}\approx 0.5\mu s$)	Fig.16
立ち上がり時間	t_{rLH}	—	—	70	ns		Fig.16
立ち下がり時間	t_{rHL}	—	—	25	ns		Fig.16
ピークシフト	P.S.	—	—	1	%	$V_{IN}=0.15\sim 2V_{P-P}$	Fig.16
ローレベル出力電圧	V_{OL}	—	—	0.5	V	$I_{OL}=2mA$	Fig.17
ハイレベル出力電圧	V_{OH}	2.7	—	—	V	$I_{OH}=-0.4mA$	Fig.17
ライト回路							
ライト電流設定範囲	I_{WR}	2	—	20	mA	LC, HD 端子による補正電流を含む	Fig.18
補正ライト電流設定範囲	I_{WC}	—	—	5	mA	LC, HD 端子各々において	Fig.18
ライト電流精度	ACI_{WR}	-7	—	+7	%	$I_{WR}=6mA$, $R_{WCsO}=1.91k\Omega$	Fig.18
ライト電流ベア性	ΔI_{WR}	-2	—	+2	%	$R_{WCsO}=1.91k\Omega$	Fig.18
ライト電流電源電圧依存性	PSI_{WR}	-4	-2	+1	%/V	$R_{WCsO}=1.91k\Omega$	Fig.18
出力飽和電圧	V_{SATRW}	—	1.3	1.8	V	*5	Fig.18
オフ時リーク電流	I_{LKRW1}	—	—	20	μA	非選択側 $V_{RW}=14V$	*5 Fig.18
	I_{LKRW2}	—	—	50	μA	選択側 $V_{RW}=14V$	*6 Fig.18
ライトデータ最小パルス幅	t_{WD}	70	—	—	ns		Fig.19
タイミングバランス	ΔI_{W}	—	—	0.5	%	$f=500kHz$	Fig.18
イレース出力							
イレース電流設定範囲	I_{ER}	5	—	100	mA		Fig.20
出力飽和電圧	V_{SATER}	—	0.8	1.4	V	$I_{ER}=100mA$, $REC_{SO}=1.8k\Omega$	Fig.20
出力リーク電流	I_{OH}	—	—	100	μA	$V_{OH}=20V$	Fig.20

*5 TDR2 端子は OPEN

*6 $I_W=12mA$ に設定した出力電圧を下げていき I_W が 10.8mA になるときの RW 端子の電圧。*7 $HV_{CC}=12V$ のときは $V_{RW}=20V$

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions	Test Circuit
ロジック入力							
ハイレベル入力電圧 1	V_{IH1}	2	—	—	V	LC, HD, TDFC, PS	Fig.21
ローレベル入力電圧 1	V_{IL1}	—	—	0.8	V	LC, HD, TDFC, PS	Fig.21
ハイレベル入力電圧 2	V_{IH2}	2	—	—	V	WG, EG, S1	Fig.21
ローレベル入力電圧 2	V_{IL2}	—	—	0.8	V	WG, EG, S1	Fig.21
入力電圧 2 ヒステリシス	V_{H2}	0.2	—	—	V	WG, EG, S1	Fig.21
ハイレベル入力電圧 3	V_{IH3}	2	—	—	V	WD	Fig.21
ローレベル入力電圧 3	V_{IL3}	—	—	0.7	V	WD	Fig.21
入力電圧 3 ヒステリシス	V_{H3}	0.2	—	—	V	WD	Fig.21
ハイレベル入力電流 1	I_{IH1}	—	—	10	μA	LC, HD, TDFC, PS	$V_{OH}=2.8V$ Fig.21
ローレベル入力電流 1	I_{IL1}	—	—	40	μA	LC, HD, TDFC, PS	$V_{OL}=0.4V$ Fig.21
ハイレベル入力電流 2	I_{IH2}	—	—	10	μA	WG, EG, S1	$V_{OH}=2.8V$ Fig.21
ローレベル入力電流 2L	I_{IL2}	—	—	40	μA	WG, EG, S1	$V_{OL}=0.4V$ Fig.21
ハイレベル入力電流 3	I_{IH3}	—	—	10	μA	WD	$V_{OH}=2.8V$ Fig.21
ローレベル入力電流 3	I_{IL3}	—	—	400	μA	WD	$V_{OL}=0.4V$ Fig.21

(注9) タイムドメインフィルタ TD M/M パルス幅設定用端子 TDR1 は 内部に 15pF 内蔵しており、AVCC にプルアップした外付け抵抗 R_{TD} のみによって TD M/M パルス幅を決定することができます。しかしそのように使用した場合、TDFC=H (補正を行わない) ときに TDR2 端子の内部容量の影響で TD M/M パルス幅が、周波数特性を持ってしまいますので、使用の際は十分注意してください。

また、TDR1 端子-GND 間に外付けで $C_{TD}=100pF$ 挿入して時定数を調整し使用することによって、TDR2 端子の内部容量の影響が小さくなり、周波数に対して安定した特性が得られるようになります。また TDR1 内蔵の 15pF の内部容量のバラツキの影響も小さくなり TD M/M パルス幅タイミング精度も向上します。

なお $C_{TD}=100pF$ と $C_{TD}=OPEN$ のときのコンパレータ入力周波数対 TD M/M パルス幅のグラフを Fig.2 に示します。

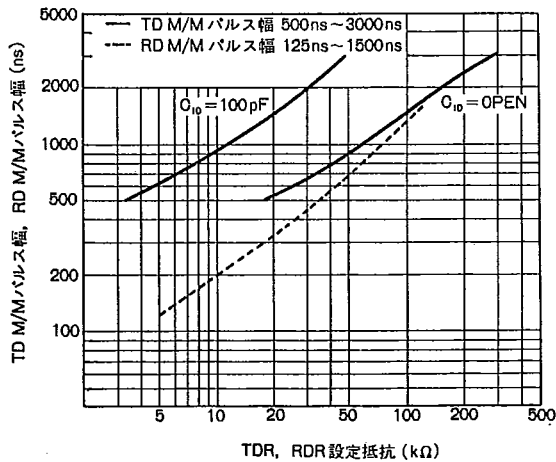


Fig.1 タイムドメインフィルタ

(注8) TDR1-TDR2 間の補正抵抗をつけずに TDFC=H にしたときの値

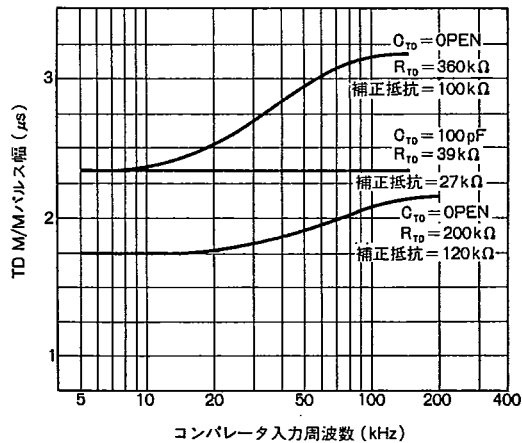


Fig.2 コンパレータ入力周波数対 TDMM パルス幅 (TDFC=H: 補正は行わない)

OA 機器用
FDD

● 測定回路図/Test Circuits

T-52-38

(1) 消費電流

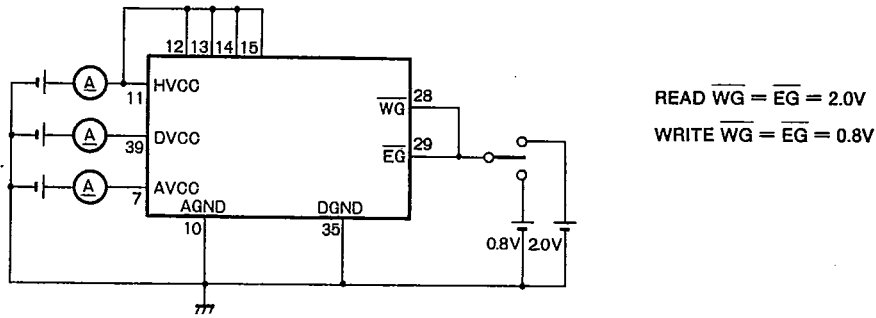
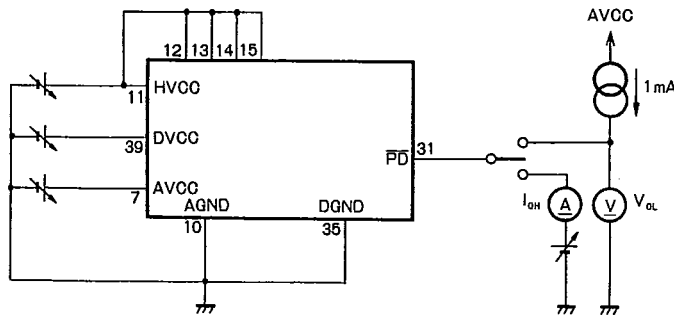


Fig.3 消費電流 I_{CCHS} , I_{CCHR} , I_{CCHW} , I_{CCDS} , I_{CCDR} , I_{CCDW} , I_{CCAS} , I_{CCAR} , I_{CCAW} 測定回路

(2) 減電圧検出 (AVCC により検出)



モニタ I_{WR} (RW 00, RW 01, RW 10, RW 11)
 I_{ER} (E00, E01)

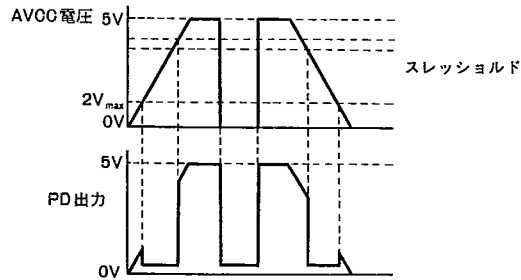
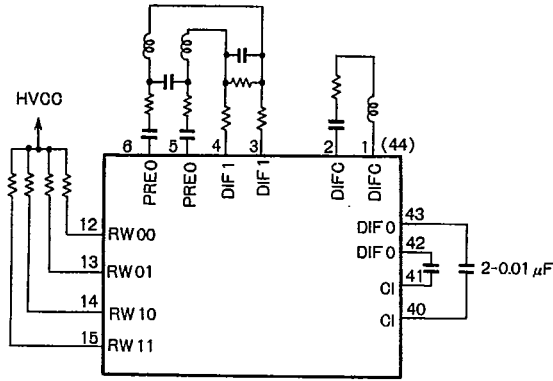


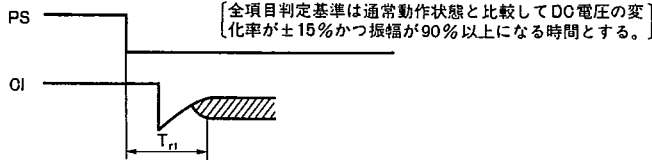
Fig.4 V_{TH} , V_H , V_{OL} , I_{OH} 測定回路

(3) リカバリタイム

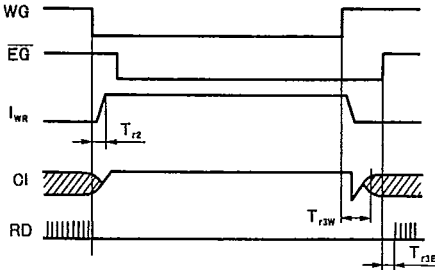
T-52-38



• POWER SAVE → READ



• WRITE → READ



• SIDE 0 ↔ SIDE 1

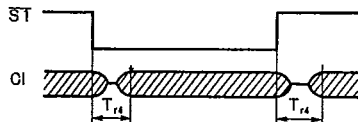


Fig.5 Tr1, Tr2, Tr3W, Tr3E, Tr4 測定回路

(4) プリアンプ

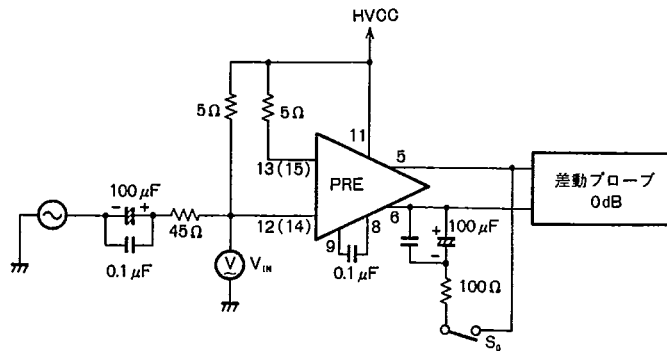
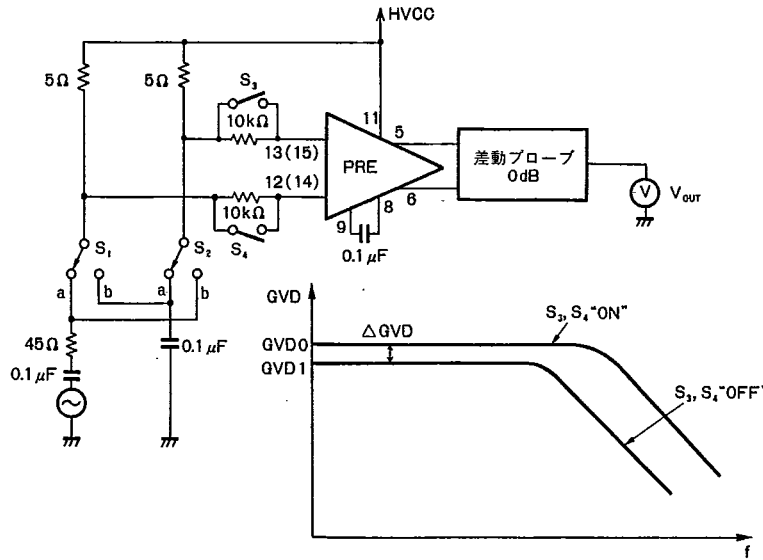


Fig.6 Gvd, BW, Gctlk, Vinmax, Vod, Rod 測定回路

OA 機器用

FDD

T-52-38



$$R_{10} = \left(\frac{10^{-\Delta GVDa/20}}{1 - 10^{-\Delta GVDa/20}} + \frac{10^{-\Delta GVDb/20}}{1 - 10^{-\Delta GVDb/20}} \right) \times 10 \text{ [k}\Omega\text{]}$$

ΔGVDa は S₁ = S₂ = a のときの ΔGVD [dB]

ΔGVDb は S₁ = S₂ = b のときの ΔGVD [dB]

Fig.7 差動入力抵抗 R_{1D} 測定回路

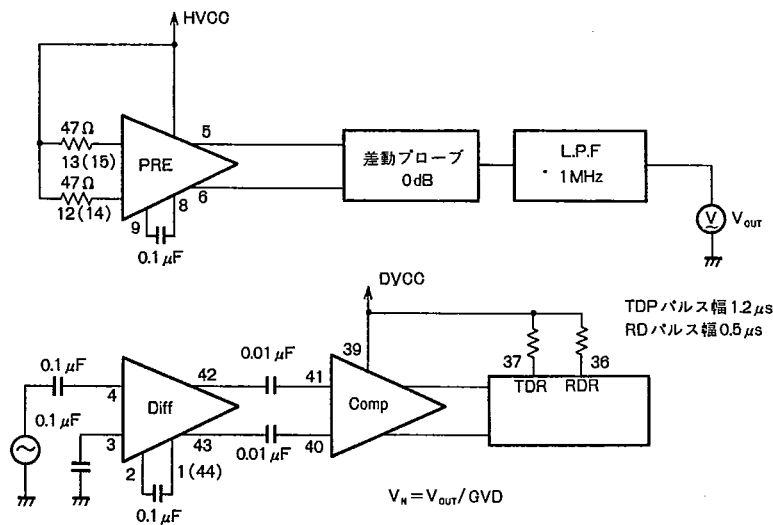


Fig.8 入力換算雑音電圧 V_{N1}, V_{N2} 測定回路

注 V_{N1}測定には微分器に信号を入力しない。

V_{N2}測定時には微分器に入力し、リード・データを出力させる。

T-52-38

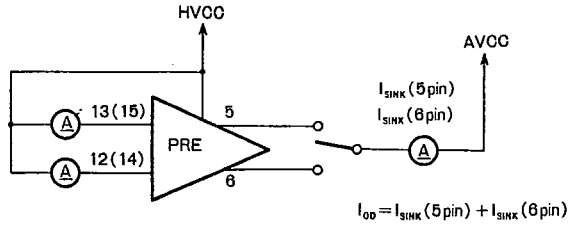


Fig.9 入力シンク電流 I_{SINK} , 差動出力電流振幅 I_{OD} 測定回路

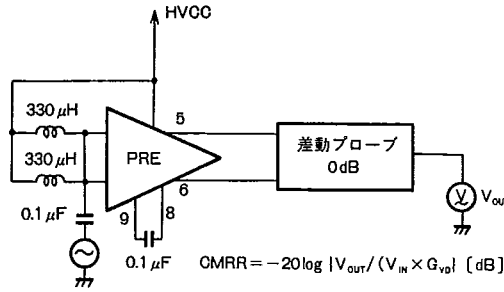


Fig.10 同相信号抑圧比 CMRR 測定回路

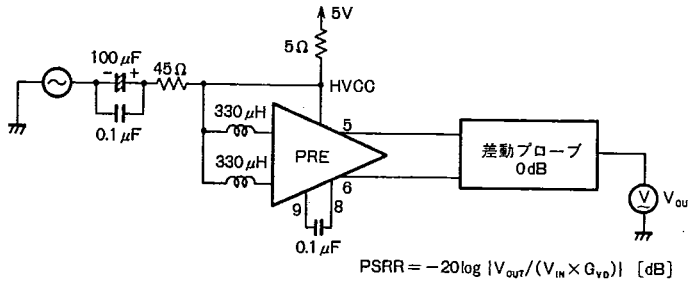


Fig.11 電圧変動抑圧比 PSRR 測定回路

(5) 微分器

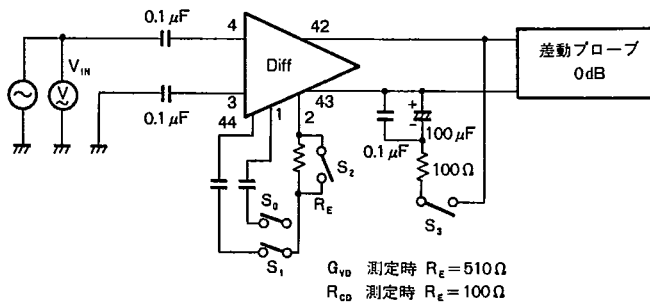
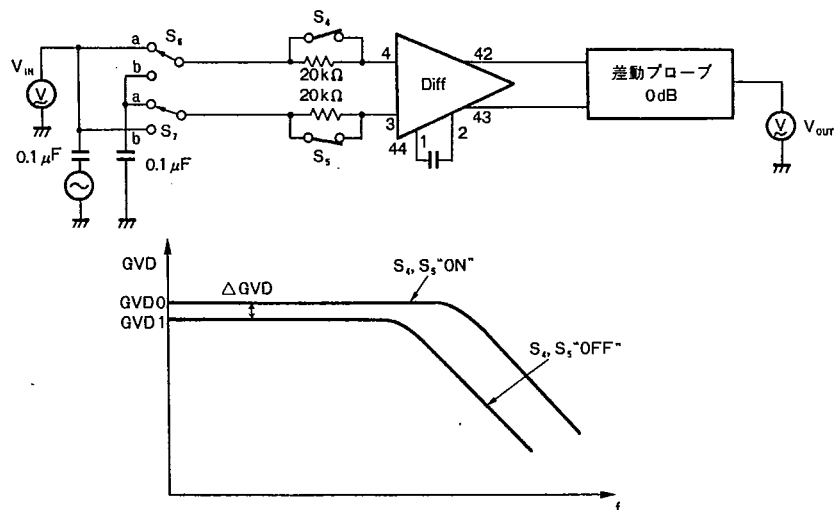


Fig.12 GVD, BW, GcTLK, Rcd, VOD, ROD 測定回路

OA 機器用

FDD

T-52-38



$$R_{1D} = \left(\frac{10^{-\Delta GVDa/20}}{1 - 10^{-\Delta GVDa/20}} + \frac{10^{-\Delta GVDb/20}}{1 - 10^{-\Delta GVDb/20}} \right) \times 20 \text{ (k}\Omega\text{)}$$

$\Delta GVDa$ は $S_6 \cdot S_7 \cdot a$ の時の ΔGVD (dB)
 $\Delta GVDa$ は $S_6 \cdot S_b \cdot a$ の時の ΔGVD (dB)

Fig.13 差動入力抵抗 R_{1D} 測定回路

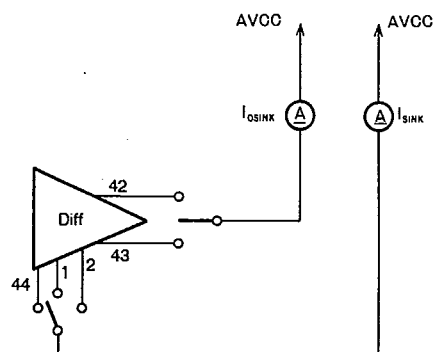


Fig.14 微分定数設定端子電流, 出力シンク電流測定回路

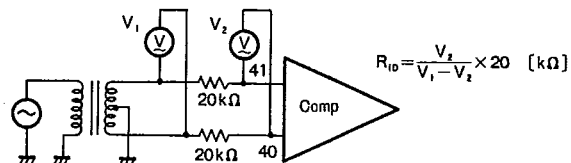


Fig.15 コンパレータ差動入力抵抗 R_{ID} 測定回路

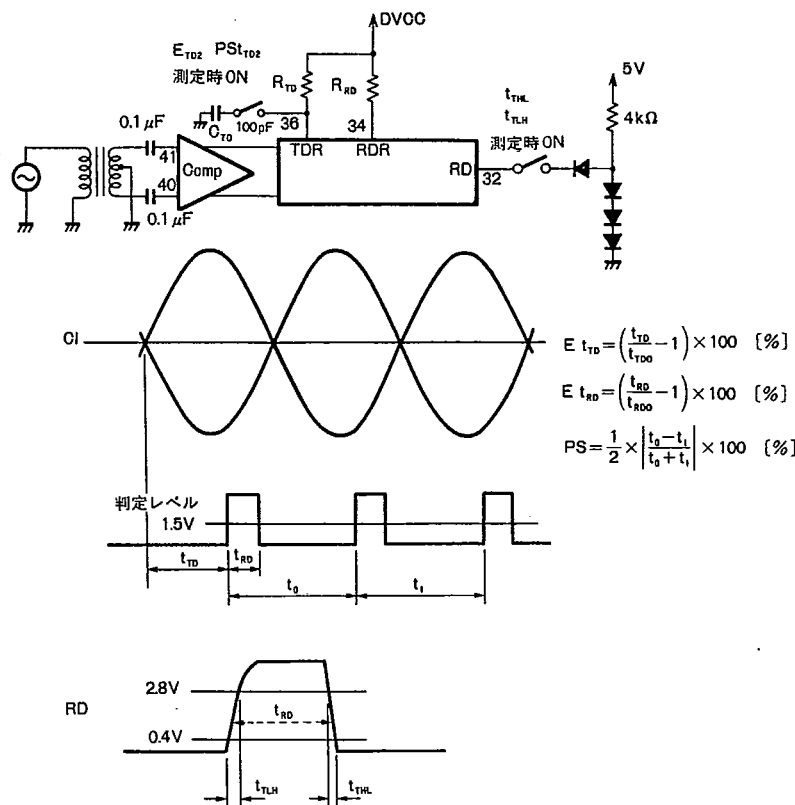


Fig.16 V_{INmax} , t_D , E_{TD} , t_{RD} , E_{RD} , P.S. 測定回路

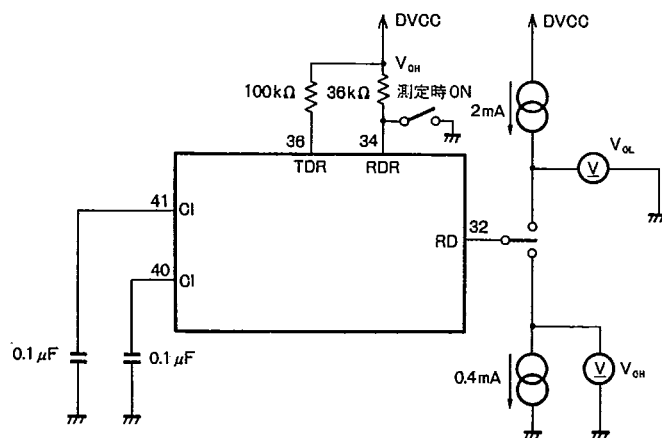
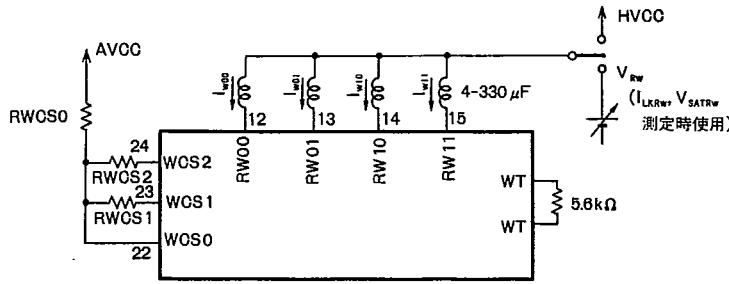


Fig.17 V_{OH} , V_{OL} 測定回路

OA 機器用
FDD

(7) ライト回路

T-52-38



ライト電流定義

$$I_{WR} = |I_{W00} - I_{W01}| \quad (SI=H)$$

$$= |I_{W10} - I_{W11}| \quad (SI=L)$$

ライト電流設定式

$$I_{WRO} = \frac{1.22V}{RWCS0} \times 9.6$$

補正ライト電流設定式

$$I_{WC10} = \frac{1.22V - V_{WCS1}}{RWCS1} \times 9.6 \quad V_{WCS1}: AVCC - WCS1 \text{ 間の電圧 (LC によって制御)}$$

$$I_{WC20} = \frac{1.22V - V_{WCS2}}{RWCS2} \times 9.6 \quad V_{WCS2}: AVCC - WCS2 \text{ 間の電圧 (HD によって制御)}$$

$$ACI_W = \frac{I_{WR} - 6(mA)}{6(mA)} \times 100 \quad RWCS0 = 1.91k\Omega$$

$$\Delta I_{WR} = \frac{2 |I_{W00} - I_{W01}|}{|I_{W00} + I_{W01}|} \times 100$$

$$= \frac{2 |I_{W10} - I_{W11}|}{|I_{W10} + I_{W11}|} \times 100$$

$$PSI_W = \frac{2 |I_{WH} - I_{WL}|}{|I_{WH} + I_{WL}|} \times \frac{1}{1.6}$$

I_{WH} : AVCC=6.0V 時のライト電流

I_{WL} : AVCC=4.4V 時のライト電流

選択側オフセット電流 定義:

選択側 RW 両端子に ライト電流以外に均等に流れる電流 (ライトターミネータ回路起動作)

Fig.18 BA6588K の I_{WR} , ACI_W , ΔI_{WR} , V_{SATRW} , I_{LKRW} , I_{WC} , L_{RWOFF} 測定回路

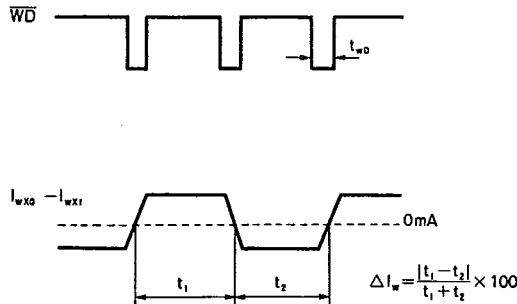
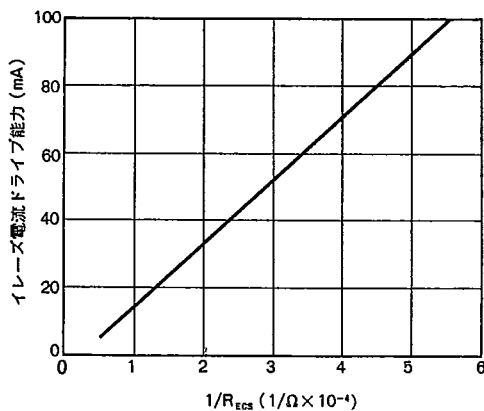
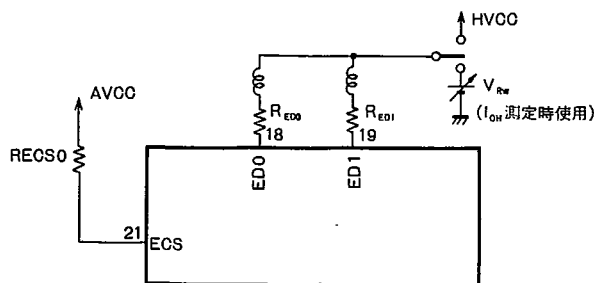


Fig.19 ΔI_w , t_{WD} 定義波形

(8) イレージ回路

T-52-38



イレージ電流 I_{ER} (5mA~100mA)

イレージ出力が設定電流値以上のドライブ能力となるように上記のグラフより AVCC-ECS 間の抵抗 (R_{ECS}) を決定する。

イレージ電流は次の式により決定する。

$$I_{ER} = \frac{V_{CC} - (V_{SATER} + V_{EHEAD})}{R_{ED}}$$

V_{EHEAD} : イレージ・ヘッドによる電圧降下

R_{ED} : E_{O0} 選択時 R_{ED0}

E_{O1} 選択時 R_{ED1}

Fig.20 I_{ER} , I_{OH} , V_{SATER} 測定回路

(9) コントロールロジック

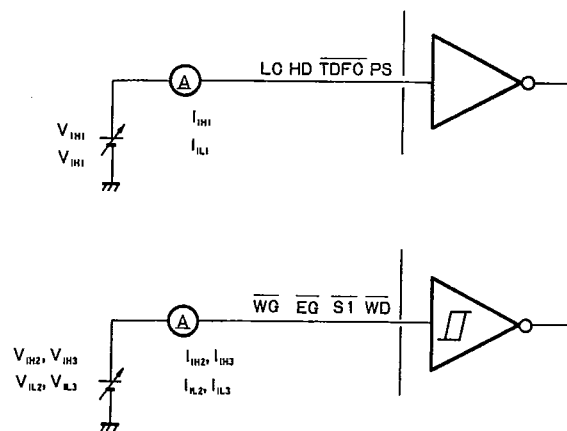


Fig.21 V_{IH} , V_{IL} , I_{IH} , I_{IL} , V_H 測定回路

OA 機器用

FDD