

Układy 1024-bitowych pamięci statycznych RAM o organizacji 1 x 1024 bity charakteryzują się:

- możliwością bezpośredniej współpracy układami TTL,
- trójstanowym wyjściem danych,
- wejściem \overline{CS} /wybór układu/.

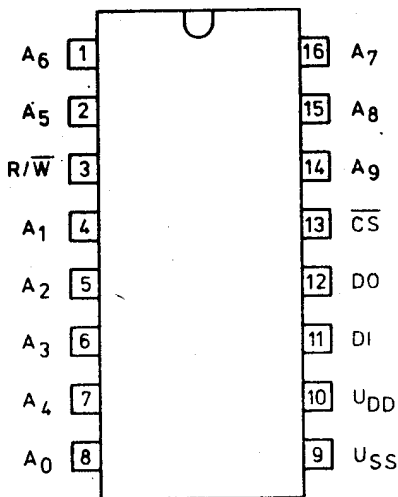
Układy segregowane są na ostere grupy różniące się czasem dostępu.

MCY 7102N...
Pamięć statyczna
RAM
1 x 1024 bity

LSI NMOS
Bramka krzemowa

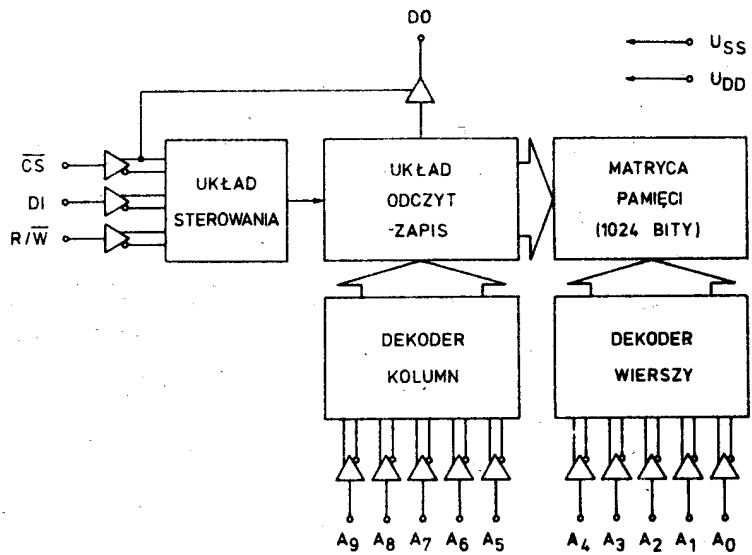
Obudowa CE 71

Układ wyprowadzeń



Opis wyprowadzeń

- U_{SS}, U_{DD} - wejścia zasilające
- $A_0 \div A_9$ - wejścia adresowe
- \overline{CS} - wejście wyboru układu
- R/\overline{W} - wejście wyboru rodzaju pracy
- DI - wejście danych
- DO - wyjście danych



Blokowy schemat wewnętrzny

65	MCY 7102NA			
55		MCY 7102NB	MCY 7102NC	MCY 7102ND
$I_{DDav\ max}$ [mA]	250	350	450	650
t_A [ns]				

Parametry dopuszczalne

$/U_{SS} = 0 \text{ V}/$

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
U_{DD}	Napięcie zasilania	V		7
U_I	Napięcie wejściowe	V	-0,5	7
P_D	Moc rozpraszana	W		1
t_{amb}	Temperatura otoczenia w czasie pracy	$^{\circ}\text{C}$	0	70
t_{stg}	Temperatura przechowywania	$^{\circ}\text{C}$	-55	125

Parametry charakterystyczne statyczne

$/U_{SS} = 0 \text{ V}; t_{amb} = +25^{\circ}\text{C}/$

Oznaczenie	Nazwa	Jedn.	Wartość				Warunki pomiaru Uwagi
			MCY 7102ND		pozostałe		
			min	max	min	max	
U_{DD}	Napięcie zasilania	V	4,75	5,25	4,75	5,25	
U_{IH}	Napięcie wejściowe w stanie wysokim	V	2,2		2		
U_{IL}	Napięcie wejściowe w stanie niskim	V		0,65		0,8	
I_{IL}	Prąd upływności wejść	μA		10		10	wejscia razem $U_I = 0 - 5,25 \text{ V}$
U_{OH}	Napięcie wyjściowe w stanie wysokim	V	2,2		2,4		$I_{OH} = 2,1 \text{ mA}$
U_{OL}	Napięcie wyjściowe w stanie niskim	V		0,45		0,45	$I_{OL} = 2,1 \text{ mA}$

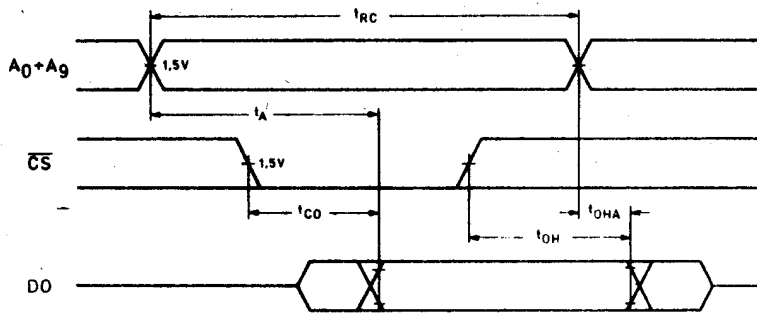
Parametry charakterystyczne pojemności / $U_{SS} = 0 \text{ V}$; $t_{amb} = +25^{\circ}\text{C}$ /

Oznaczenie	Nazwa	Jedn.	Wartość	Warunki pomiaru Uwagi
			max	
C_I	Pojemność wejściowa	pF	5	f = 1 MHz
C_O	Pojemność wyjściowa	pF	10	

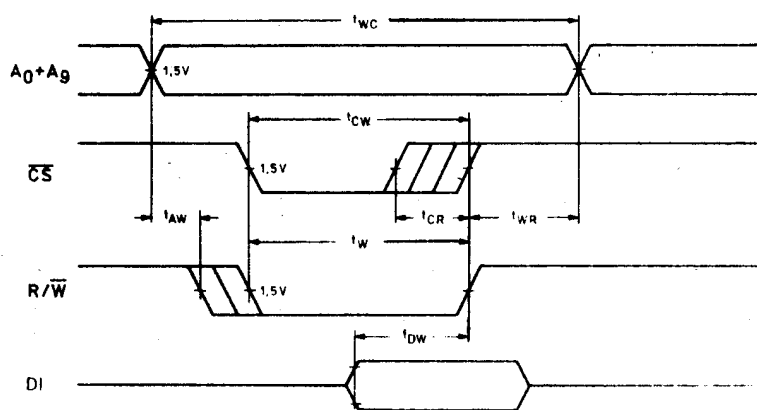
Parametry charakterystyczne dynamiczne

/dokładność $\pm 5 \mu\text{s}$, obciążenie wyjścia danych jedna bramka TTL i pojemność 100 pF/

Oznaczenie	Nazwa	Jedn.	Wartość - typ			
			A	B	C	D
Cykl odczytu						
$t_{RC} \text{ min}$	Czas cyklu odczytu	ns	250	350	450	650
$t_A \text{ max}$	Czas dostępu względem adresu	ns	250	350	450	650
$t_{CO} \text{ max}$	Czas dostępu względem zezwolenia \overline{CS}	ns	130	180	230	400
$t_{OHA} \text{ min}$	Czas trwania danych wyjściowych po zmianie adresu	ns	40	40	40	50
$t_{OH} \text{ min}$	Czas trwania danych wyjściowych po zakazie \overline{CS}	ns	0	0	0	0
Cykl zapisu						
$t_{WC} \text{ min}$	Czas cyklu zapisu	ns	250	350	450	650
$t_W \text{ min}$	Czas zapisu	ns	180	250	300	400
$t_{AW} \text{ min}$	Czas opóźnienia zapisu przed zmianą adresu	ns	20	20	20	200
$t_{WR} \text{ min}$	Czas zakończenia zapisu przed zmianą adresu	ns	0	0	0	0
$t_{DW} \text{ min}$	Czas trwania danych wejściowych	ns	180	250	300	450
$t_{CW} \text{ min}$	Czas opóźnienia zakończenia zapisu względem zezwolenia \overline{CS}	ns	0	0	0	0
$t_{CR} \text{ min}$	Czas opóźnienia zakończenia zapisu względem zakazu \overline{CS}	ns	0	0	0	0



CYKL ODCZYTU



CYKL ZAPISU

Definicje parametrów dynamicznych